

A3100
16 ch PHA & LIST
VME module

Rev. 1.5
July 30, 2007

Melex



NIKI GLASS CO.,LTD

更履歴

Rev 1.0	Aug 4, 2004	・ 作成
Rev 1.1	Sep 2, 2004	・ 誤記訂正
Rev 1.2	Dec 1, 2004	・ FREE RUN LIST + TLI(Page10)において、リストデータバッファへの書込みデータ順の間違いを訂正 ・ 各レジスタの詳細において“測定中の設定変更を禁止するもの”についてはその旨を明記 ・ 3.動作モードでのスループットに関する記述を訂正 ・ 3.3 FREE RUN LIST において、TLI 動作時の時間情報取り込みタイミングの記述を変更 ・ P9 の説明図を FREE RUN LIST + TSI から FREE RUN LIST + TLI へ変更 ・ P10 の説明図を FREE RUN LIST + TLI から FREE RUN LIST + TSI へ変更 ・ 3.4 TRIGGERD LIST 中のゼロクリア (Zero Clear)を初期化 (Initialize)に変更 ・ 4. フロントパネル中の VETO Input コネクタの説明内容を変更 ・ 4. フロントパネル中の Gate/Trigger Input コネクタの説明文から TLI を削除 ・ 5. ATICbus 中の TIC_CLR+/-信号の説明内容を変更 ・ 8.2 FREE RUN LIST+TLI と 8.4 TRIGGERD LIST + TLI に Flip bit を追加 ・ 10.23 MCSR の TILSEL ビットに設定の条件を追記 ・ 「11. TLI データについて」を新規追加 ・ 12. 仕様に TLI,TSI データ、スループット、Fast Clear 時間の項目追加および Power の項目に値を明示
Rev 1.3	Feb 20, 2005	・ 5. ATICbus 中の終端抵抗の設定について変更 ・ 全般にわたり、文章校正による訂正
Rev 1.31	Feb 20, 2005	・ 2. ブロック図中の機能説明文字抜けを修正 ・ 10.23 MCSR の TB1-TB3 を TB0-TB2 へ修正
Rev 1.4	Apr 4, 2005	・ 「12. オーバーフロー発生時の例外的処理について」を新規追加
Rev 1.5	Jul 30, 2007	・ 13. 仕様中の積分非直線性 $\pm 0.1\%$ を $\pm 0.025\%$ に誤記訂正 ・ 10.19AMR レジスタに PHA SEL ビットを追加

目次

1. 概要	3
2. ブロック図	4
3. 動作モード	5
3.1 PHA	5
3.2 GATED LIST	6
3.3 FREE RUN LIST	8
3.4 TRIGGERED LIST	11
4. フロントパネル	13
5. ATICbus(Acquire & Time Information Control bus)	14
6. VME インターフェース	16
6.1 ベースアドレス	16
6.2 AM(Address Modifier) Code	16
6.3 MCST(Multicast) Addressing	16
6.4 VME Interrupt	18
7. Memory	19
8. List Data Buffer	20
8.1 GATED LIST	20
8.2 FREE RUN LIST + TLI	21
8.3 FREE RUN LIST + TSI	21
8.4 TRIGGERED LIST + TLI	21
8.5 TRIGGERED LIST + TSI	21
8.6 リストデータバッファのデータリード	22
9. Register Map	24
9.1 Register Address Map	24
9.2 CDR(Channel Dependence Registers) Address Map	25
10. 各レジスタの詳細	26
10.1 CCR(Channel Control Register)	26
10.2 CZLR(Channel Zero Level Register)	26
10.3 CLLDR(Channel Lower Level discriminator Register)	27
10.4 CRTR(Channel Real Time Register)	27
10.5 CLTR(Channel Live Time Register)	27
10.6 CCGR(Channel Conversion Gain Register)	28
10.7 CPMR(Channel Preset Mode Register)	28
10.8 CPVR(Channel Preset Value Register)	29
10.9 SPROICR(Start of Preset ROI Channel Register)	29
10.10 NPROICR(Number of Preset ROI Channel Register)	29
10.11 IRQVR(IRQ Vector Register)	30
10.12 IRQCR(IRQ Control Register)	30

10.13 MCSTAR(Multicast Address Register)	30
10.14 MCSTCRM(Multicast Control Register)	31
10.15 LBWPR(List Buffer Write Pointer Register)	31
10.16 LBRPR(List Buffer Read Pointer Register)	31
10.17 LBEFR(List Buffer Empty Flag Register)	32
10.18 LBFRR(List Buffer Full Flag Register)	32
10.19 AMR(Acquire Mode Register)	33
10.20 ECPVR(Event Count Preset Value Register)	34
10.21 LDSPVR(List Data Size Preset Value Register)	34
10.22 ACR(Acquire Control Register)	35
10.23 MCSR(Module Control Status Register)	36
10.24 LBSEMR(List Buffer Semaphore Register)	38
10.25 ACSEMR(Acquire Control Semaphore Register)	38
11. TLI データについて	39
11.1 TLI データと Flip Bit	39
11.2 TLI データ取込みタイミング	40
12. オーバーフロー発生時の例外的処理について	41
13. 仕様	42

1. 概要

A3100 は 16ch 入力の PHA & LIST 機能を搭載した 6U サイズの 1 幅 VME モジュールです。各 Ch では個別に設けられた入力コネクタに入ってくる 0~10V までの正極性アナログ・パルス信号のピークを検出し、そのレベルをピークホールド回路により保持します。各 Ch のピークホールドからの信号はピーク検出順にマルチプレクサで選択された後、ADC に供給され、13bit のデジタルデータへ変換されます。ADC は微分直線性を改善するためにスライディングスケールを採用しています。通常はスライディングスケールを組み込むとダイナミックレンジが減少するという欠点を伴いますが、A3100 ではこの欠点を生ずることなく真の 13bit データを得る事が出来るように工夫が施されています。各 Ch 個別に有するそのほかの機能としては、フルスケールの±5%を 12 ビット分解能で設定可能なゼロレベル調整、ゼロからフルスケールの 10%範囲を同じく 12 ビット分解能で可変できる LLD 調整が可能であることや、動作モードによりゲート信号やトリガ信号として使い分ける専用入力コネクタが用意されています。

A3100 が提供する動作モードとしては PHA モードと LIST モードがあり、それぞれ単独にまたは同時に実行する事が可能です。PHA モードでは Ch ごとに用意された 8kch×32bit のデータメモリ上に入力信号のパルスピーク高さ VS.発生頻度のヒストグラムを展開します。

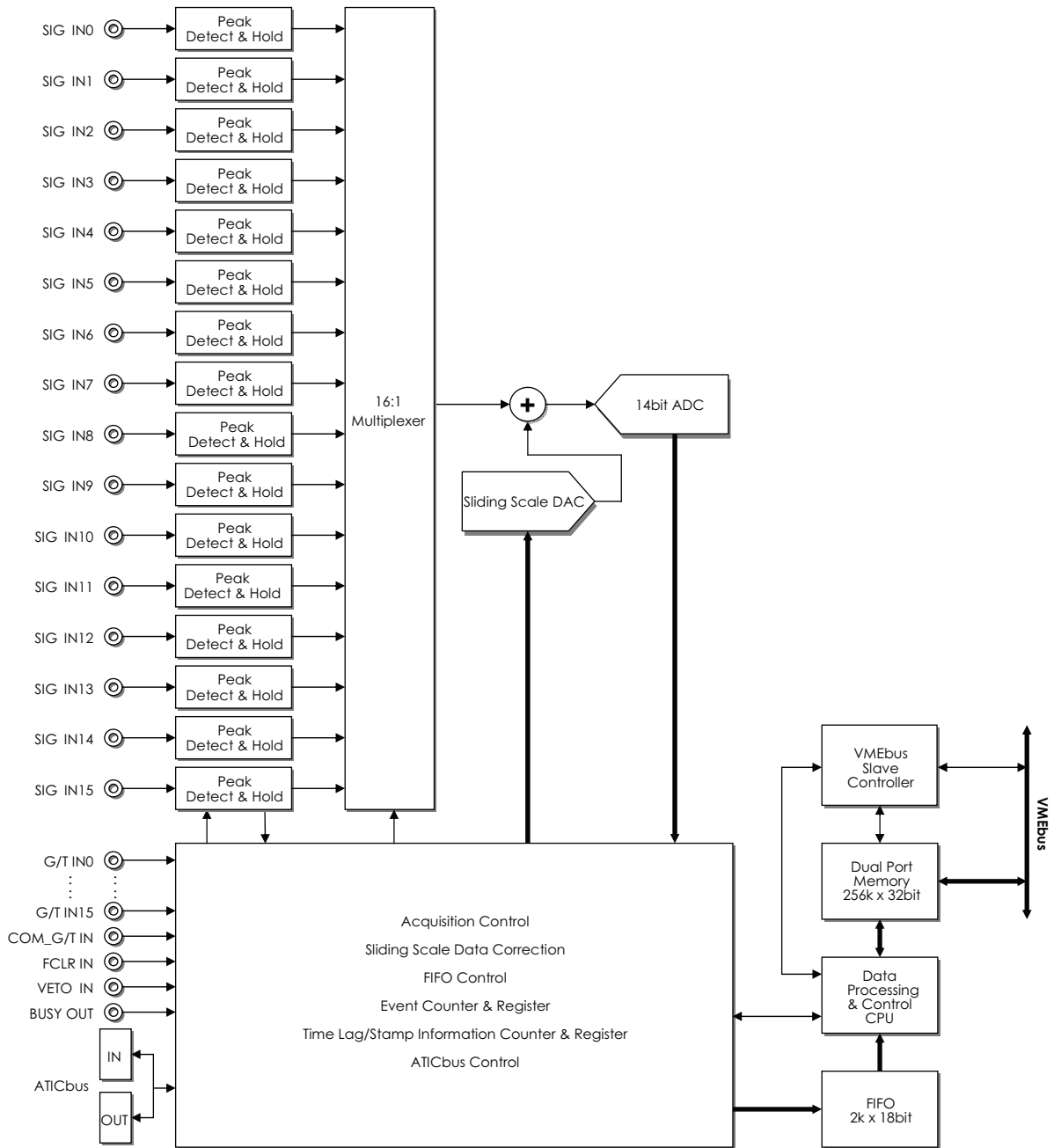
リストモードには GATED LIST、FREE RUN LIST、TRIGGERED LIST の 3 つの動作モードがあります。GATED LIST モードは全 Ch 共通のゲート入力信号が真の期間中に、有効な入力信号のあった Ch の AD 変換データのみをリストデータバッファに保存します。このモードでは AD 変換データと共通ゲート信号との関係を明確にするため 28bits イベントカウントデータも一緒に保存します。FREE RUN LIST モードでは特別な条件を設けずに有効な入力のあった Ch の AD 変換データを時系列にリストデータバッファに保存します。この場合は AD 変換データに該当する信号が入力された時点の時間情報も一緒に保存します。TRIGGERED LIST モードは基本的には FREE RUN LIST モードと同じですが、時間情報が全 Ch 共通のトリガ信号入力ごとに初期化される点と、保存されるデータには時間情報だけでなくイベントカウントデータも含まれる点が異なります。

FREE RUN LIST と TRIGGERED LIST モードに付加される時間情報には TSI(Time Stamp Information)と TLI(Time Lag Information)の 2 種類があり、いずれも最少計測時間 5ns で 40bits の情報量を持ちます。TSI の場合、FREE RUN LIST では測定開始時点から、TRIGGERED LIST では共通トリガ信号入力のあった時点から各 Ch に信号入力のあった時点までの経過時間を表し、TLI の場合は各 Ch に信号入力のあった時点から次の信号入力のあった時点までの時間差情報を表します。

デュアルポートメモリは 256k×32bits の容量を持ち、そのうち 8k×32bits×16ch=128k×32bits を PHA メモリ、127k×32bits を LIST バッファメモリ、1k×32bits を動作モードやパラメータ設定用のレジスタ領域として使用しています。

A3100 は VMEbus の A24/A32 アドレス指定モードに対応し、D16、D32、BLT のデータ転送機能および A32 の MCST(Multicast Command)をサポートします。

2. ブロック図



3. 動作モード

A3100の動作はPHAとLISTモードに分類され、LISTはさらにGATED、FREE RUN、TRIGGERED LISTモードに分類されます。PHAモードでは入力信号パルスのAD変換データから2次元のヒストグラムをChごとに作成します。LISTモードでは入力信号パルスのAD変換データにTSI(Time Stamp Information)、TLI(Time Lag Information)の時間情報またはイベントカウントデータのいずれかを付加して入力信号の入ってきた時系列順にリストデータバッファに記録します。

PHAとLISTモードのいずれかを同時に実行する事が可能ですが、PHAモードに比べてLISTモードの方が取り扱う情報量が多いため、同時実行した場合はPHAモード単独で動作させた場合に比べてスループットが半分以下に低下します。

動作モードを一覧にすると以下のようになります。

- | | |
|----------------------|--------------------------------|
| (1)PHAモード | |
| (2)GATED LISTモード | ADCデータ + イベントカウントデータ |
| (3)FREE RUN LISTモード | ADCデータ + TSI/TLI |
| (4)TRIGGERED LISTモード | ADCデータ + TSI/TLI + イベントカウントデータ |

3.1 PHA

Chごとに独立した8kch×32bitsデータメモリに2次元ヒストグラムを作成します。プリセットとしてはReal Time/Live Time/Peak Counts/Integral Countsの4つのモードが用意されています。

3.2 GATED LIST

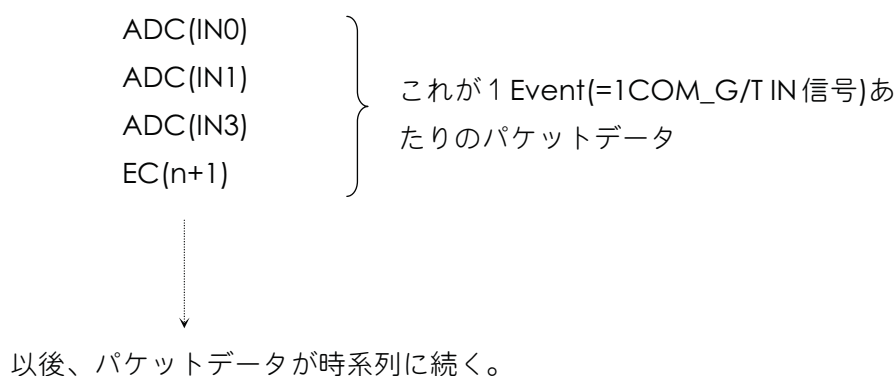
この動作モードは、特定の期間内に発生する事象のみを捉えるようなアプリケーションに適しています。

全 Ch 共通のゲート制御信号である COM_G/T IN の入力レベルが真の期間内に各 Ch に入ってきた入力信号はピークホールドされます。COM_G/T IN 信号が立ち下がると、期間内にピークホールドされていた Ch のピークレベルを順次 AD 変換し、得られた 1 個以上の AD 変換データにイベントカウントデータを付加してリストデータバッファに書き込みます。つまり 1 イベント当りのパケットデータは COM_G/T IN 期間中に有効な入力のあった数の ADC データとイベントカウントデータにより構成されます。なお、イベントカウンタは COM_G/T IN の信号によりインクリメントします。

各 Ch のピークホールド回路が COM_G/T IN 期間内にピークホールドする信号は期間内での最大パルス高さ、もしくは期間内で最初に入ってきたパルス高さのどちらかを選択することが出来ます。

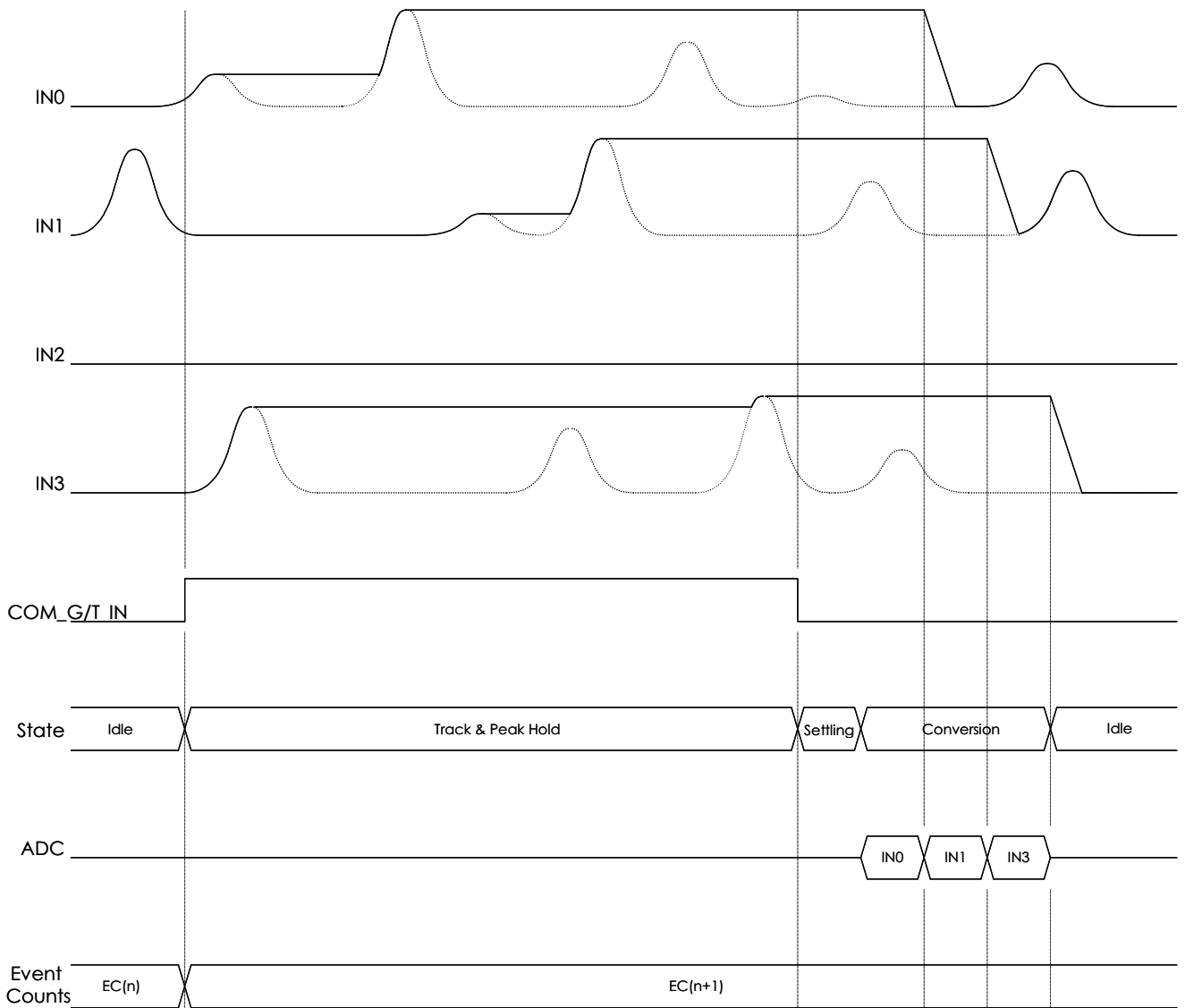
6 ページに GATED LIST モードのタイミングチャートを表します。上のケースが COM_G/T IN 期間内の最大パルスをピークホールドする場合、下のケースは最初のパルスピークをホールドする場合の例です。最大パルスまたは最初のパルスのどちらをホールドするかは MCSR レジスタ内のピークホールドモード・ビットの設定で切り替えます。(「10.23 MCSR(Module Control Status Register)」を参照)

このタイミングチャートの例では、次のようなデータがリストデータバッファに書き込まれます。

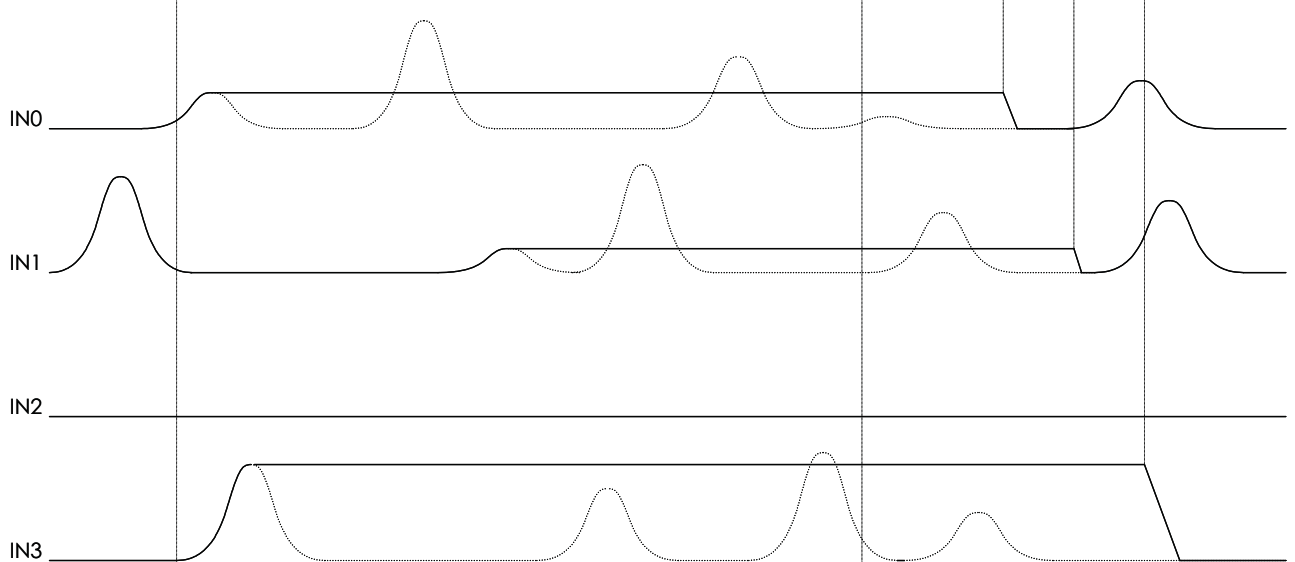


なお、書き込みデータのより詳細な内容については「8.1 GATED LIST」を参照してください。

■GATED LIST(COM_G/T 期間内の最大パルスをピークホールドする場合の例)



■GATED LIST(COM_G/T 期間内の最初のパルスをピークホールドする場合の例)



3.3 FREE RUN LIST

この動作モードでは、各 Ch に入ってきたパルスを入力順に ADC データをリストデータバッファに記録していきます。その際に単に ADC データだけでなく、各 Ch に入ってくる信号の時間相関を知る目的で TSI(Time Stamp Information)または TLI(Time Lag Information)の時間情報を一緒に記録します。TSI は測定開始時点から信号が入ってきた時までの経過時間を表し、TLI は時間的に隣り合う入力信号間の時間差を表します。

TSI、TLI 共に時間計測の基準となる周波数は 5ns/10ns/20ns/50ns/100ns/200ns/500ns/1 μ s の中から任意に選択可能です。TSI/TLI の時間情報は 40bits のビット幅を持っているので最大計測時間は選択した基準クロックにより以下のようになります。

基準クロック	最大計測時間
5ns	1.52hrs
10ns	3.05hrs
20ns	6.10hrs
50ns	15.2hrs
100ns	30.5hrs
200ns	2.5days
500ns	6.3days
1 μ s	12.7days

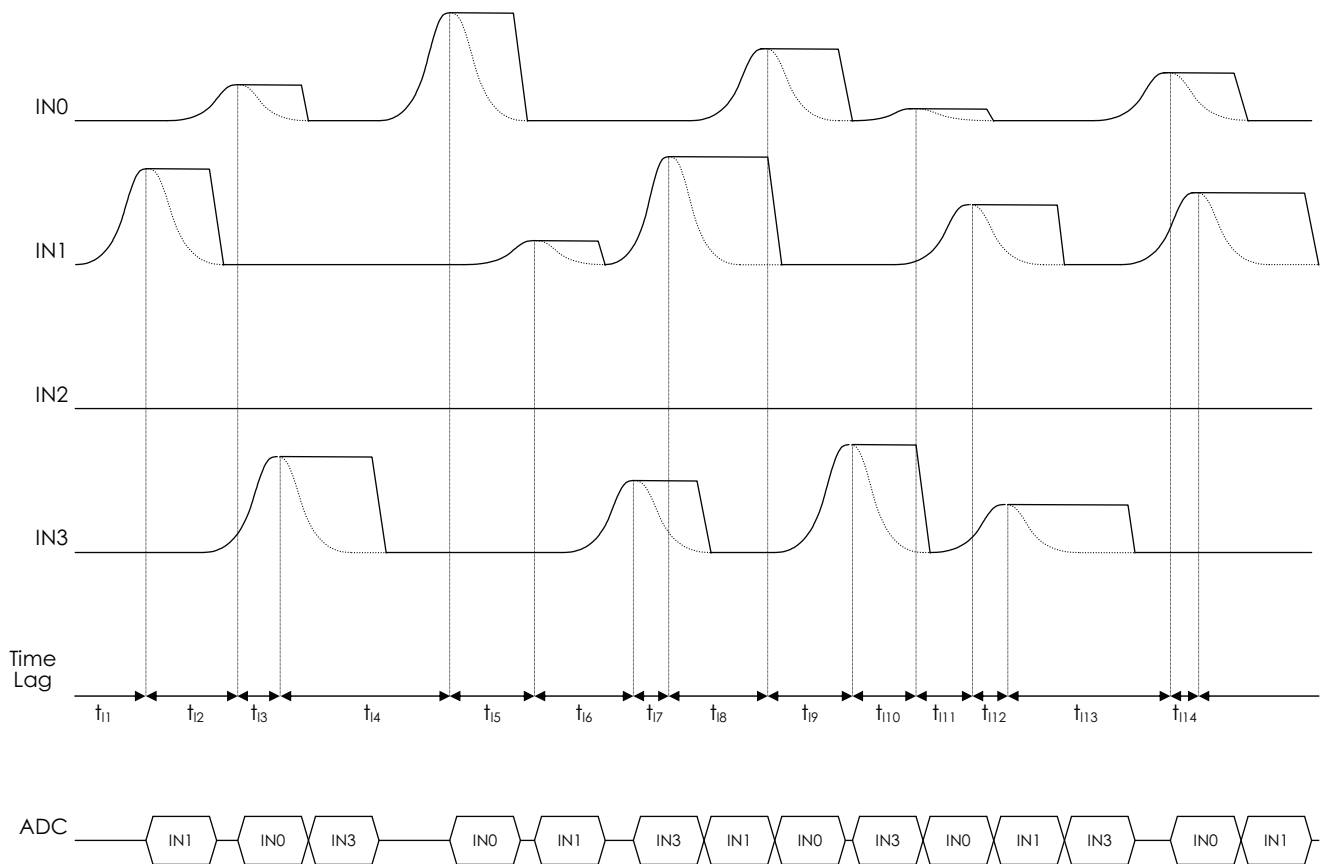
TLI の場合には入力信号間の時間差情報ですから、基準クロック=5ns を選択しても信号間の時間差が 1.52hrs を越えるようなケースは考えられませんが、TSI の場合は測定開始から 1.52hrs 経過するとオーバーフローし、ゼロに戻ってしまう点にご留意ください。

TSI の経過時間を取り込むタイミングは次の 2 通りの中から選ぶことが出来ます。1 番目は A3100 内部のピーク検出タイミングです。Peak Detect & Hold 回路が入力信号のピークを検出した時点で時間情報を確定します。2 番目は各 Ch に設けられている G/T IN コネクタからのトリガ入力信号により時間情報を取り込みます。ピーク検出タイミングによる方法は入力信号のパルス高さによりピーク検出タイミングが変化するため正確な時間情報を取り込みたい場合には不向きですが、外部にタイミング系の回路を設けることなくラフな時間相関が得られれば良い場合などに使用します。より正確な時間相関を得たい場合は、CFD(Constant Fraction Discriminator)などのタイミング系回路からの信号を G/T IN に接続して測定する事を推奨します。

TLI の時間差情報の場合は A3100 内部のピーク検出タイミングのみとなります。

TLI の場合は入力信号間の時間差情報を得ることが目的ですから、1 枚の A3100 でカバーできる 16ch 以内なら対応可能ですが、16ch 以上のシステムの場合は複数枚のモジュールを使用することになり全ての Ch 間の時間差を得る事が出来なくなります。従って 16ch 以上のシステムの場合には TSI モードで計測する事になります。但し、この場合も複数モジュール間での基準クロックや測定制御の同期を確保する必要があり、付属品の IC(Interconnect Card)をフロントパネル上の ATICbus(Acquire & Time Information Control bus)に取り付けて隣同士のモジュール間を接続する必要があります。

■ FREE RUN LIST + TLI(Peak Detect タイミングによる時間情報の取り込み)

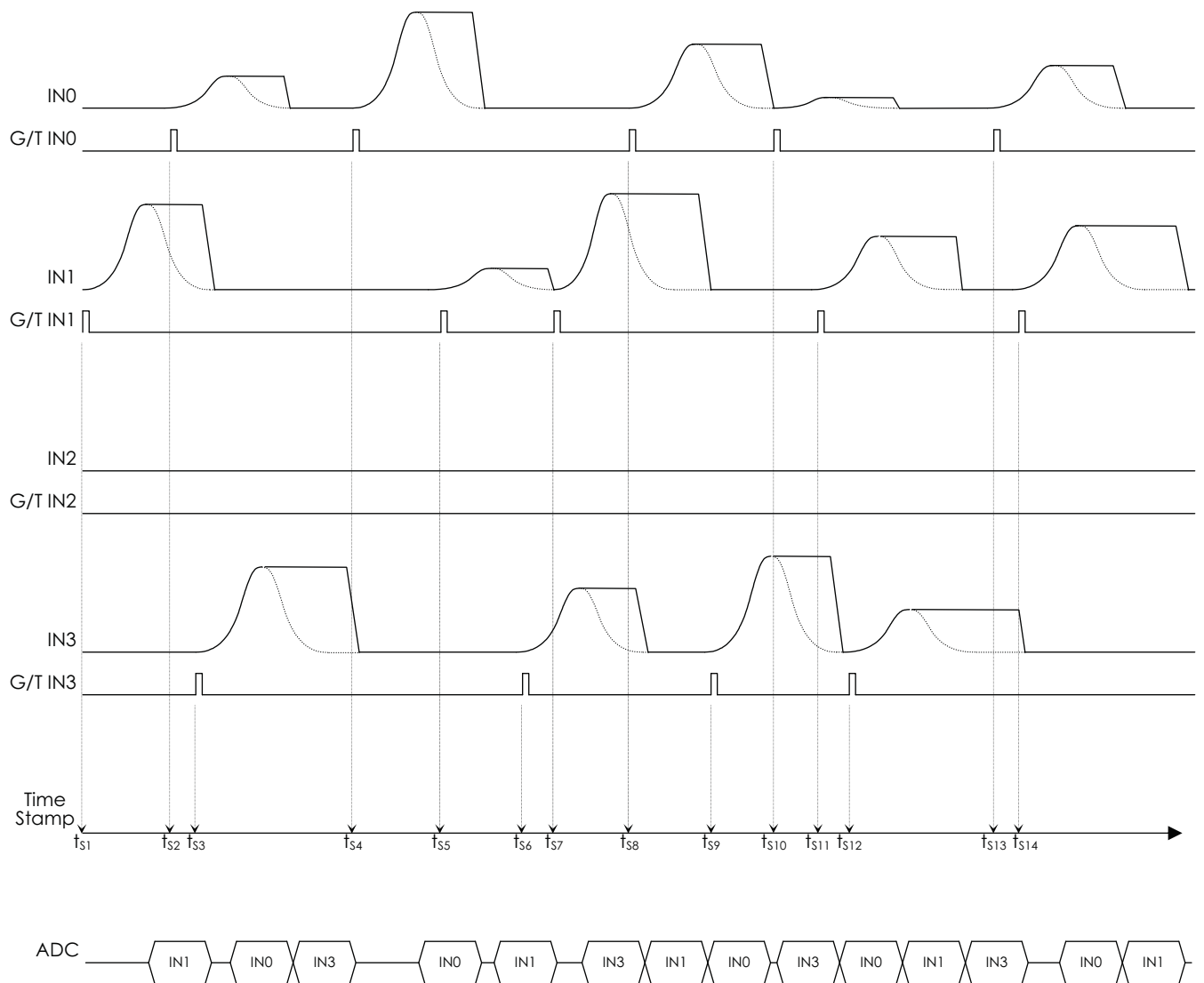


この例では、次のようなデータがリストデータバッファに書き込まれます。

- ADC(IN1)
- t_{11}
- ADC(IN0)
- t_{12}
- ADC(IN2)
- t_{13}
- ADC(IN0)
- t_{14}
- ADC(IN1)
- t_{15}
- ADC(IN2)
- t_{16}
- ADC(IN1)
- t_{17}
- ADC(IN0)
- t_{18}
- ADC(IN2)
- t_{19}
- ADC(IN0)
- t_{10}
- ADC(IN1)
- t_{11}
- ADC(IN2)
- t_{12}
- ADC(IN0)
- t_{13}
- ADC(IN1)
- t_{14}

なお、書き込みデータのより詳細な内容については「8.2 FREE RUN LIST + TLI」を参照してください。

■ FREE RUN LIST + TSI(G/T 入力信号タイミングによる時間情報の取り込み)



この例では、次のようなデータがリストデータバッファに書き込まれます。

```

ADC(IN1)
  ts1
ADC(IN0)
  ts2
ADC(IN2)
  ts3
ADC(IN0)
  ts4
ADC(IN1)
  ts5
  ...
  ...
ADC(IN2)
  ts12
ADC(IN0)
  ts13
ADC(IN1)
  ts14
    
```

なお、書き込みデータのより詳細な内容については「8.3 FREE RUN LIST + TSI」を参照してください。

3.4 TRIGGERED LIST

この動作モードは、基準となるトリガ源に誘発されて生ずるような事象を時間経過と共に捉えるようなアプリケーションに適しています。

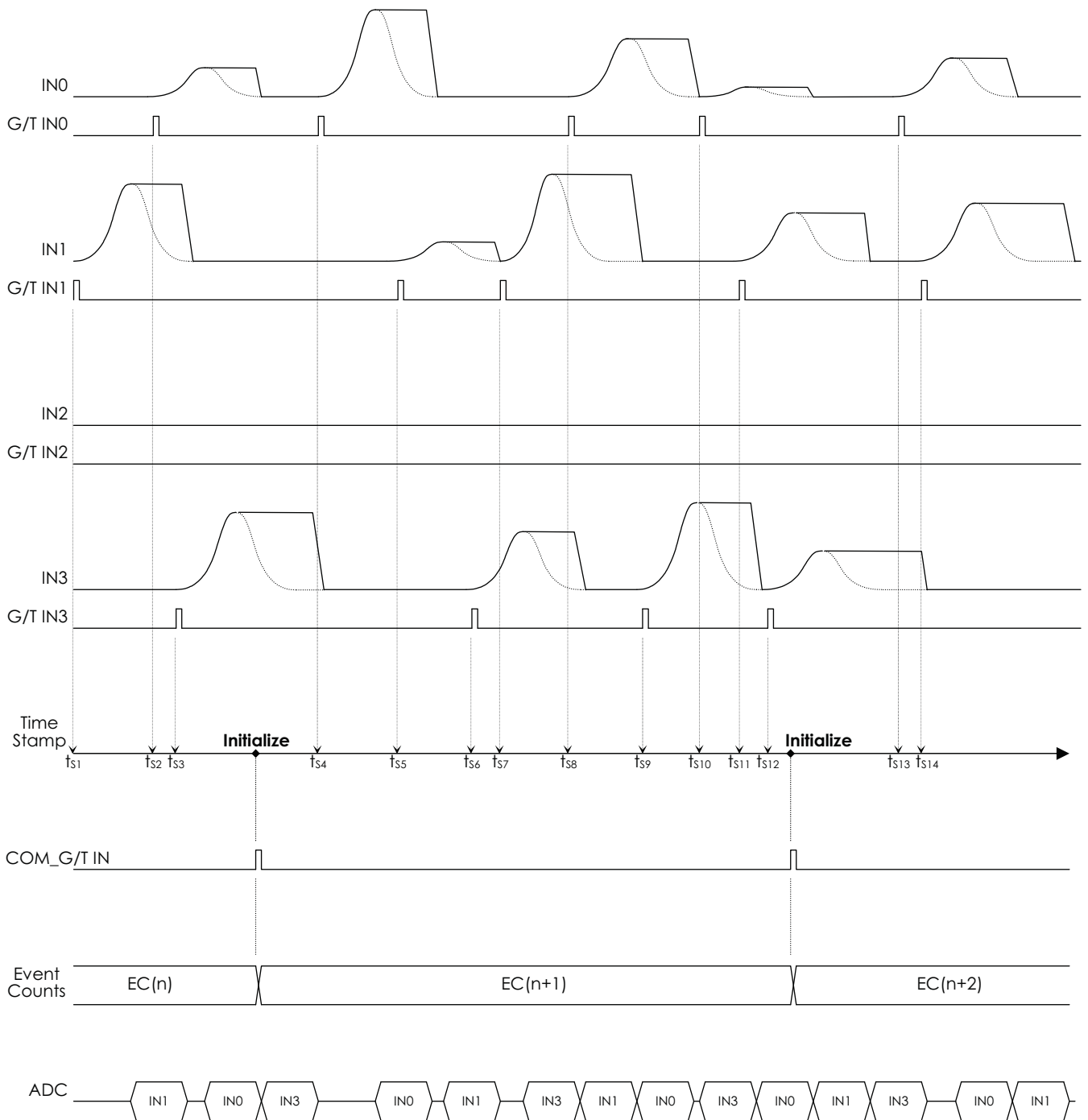
全 Ch 共通のトリガ信号を COM_G/T IN に入力して使用します。基本的な動作は FREE RUN LIST と殆ど同じですが、異なるのは TSI または TLI の値が COM_G/T IN 信号の入力ごとに初期化される点です。従って各 Ch の ADC データに付随する TSI または TLI の時間情報は共通トリガ信号発生からの経過時間または時間差を表す事になります。もう一つの相違点は ADC データには TSI または TLI の時間情報のほかにイベントカウントデータが付加されます。イベントカウントは共通トリガ信号 COM_G/T 信号によりインクリメントされ、共通トリガ信号と ADC データとの対応関係を明確にします。

11 ページに一例として各 Ch の G/T 信号による TSI 情報取り込み設定時のタイミングチャートを図示しましょう。TLI の場合も時間情報がタイムスタンプからタイムラグに代わるだけで、その他は同じです。この場合のリストデータバッファへの書き込みデータは以下の通りです。

```
ADC(IN1)
  ts1
  EC(n)
ADC(IN0)
  ts2
  EC(n)
ADC(IN2)
  ts3
  EC(n)
ADC(IN0)
  ts4
  EC(n+1)
ADC(IN1)
  ts5
  EC(n+1)
ADC(IN2)
  ts6
  EC(n+1)
ADC(IN1)
  ts7
  EC(n+1)
ADC(IN0)
  ts8
  EC(n+1)
ADC(IN2)
  ts9
  EC(n+1)
ADC(IN0)
  ts10
  EC(n+1)
ADC(IN1)
  ts11
  EC(n+1)
ADC(IN2)
  ts12
  EC(n+1)
ADC(IN0)
  ts13
  EC(n+2)
ADC(IN1)
  ts14
  EC(n+2)
```

なお、書き込みデータのより詳細な内容については「8.4 TRIGGERED LIST + TSI」を参照してください。

■ TRIGGERED LIST + TSI(G/T 入力信号タイミングによる時間情報の取り込み)



4. フロントパネル

Data ReadY LED(緑)
リストモード時、リストデータバッファに読み出すべきデータが存在するとき点灯。

BUSY LED(赤)
いずれかの ch においてピークホールド開始から AD 変換を終えて FIFO に書き込まれるまでの期間。およびリストモードの場合には、リストデータバッファがフルの状態にある時に点灯。

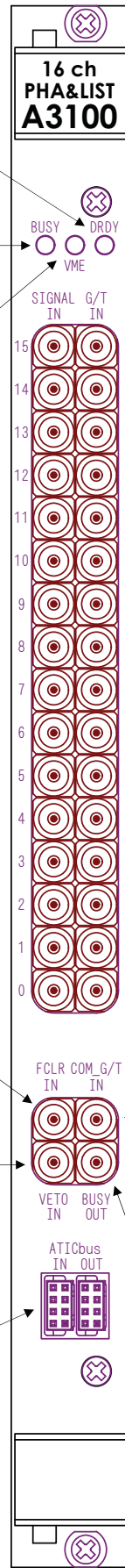
VME LED(黄)
VMEbus から本モジュールへアクセスがある毎に点灯。

SIGNAL INput
AD 変換する 0~+10V で最小立上り時間 200ns、最少パルス幅 500ns の正極性ユニポーラパルスを入力します。
Zin : 1 k Ω、LEMO

Fast Clear INput
全てのピークホールド回路をクリアし、進行中の AD 変換を中断して、新たな信号の受け入れが可能な状態にします。最少パルス幅 20ns のアクティブ・ハイの信号を入力します。
Signal : TTL、Zin : 1 k Ω、LEMO

VETO INput
入力信号が真の間、AD 変換したデータを破棄します。アクティブ・ハイの信号を入力します。
Signal : TTL、Zin : 1 k Ω、LEMO

Acquire & Time Information Control bus IN/OUT
1 枚以上の本モジュールを使用して FREE RUN LIST + TSI または TRIGGERED LIST + TSI の動作をさせる場合は隣同士のモジュールをこのコネクタを利用してバス接続する必要があります。詳細は「5. ATICbus」を参照してください。



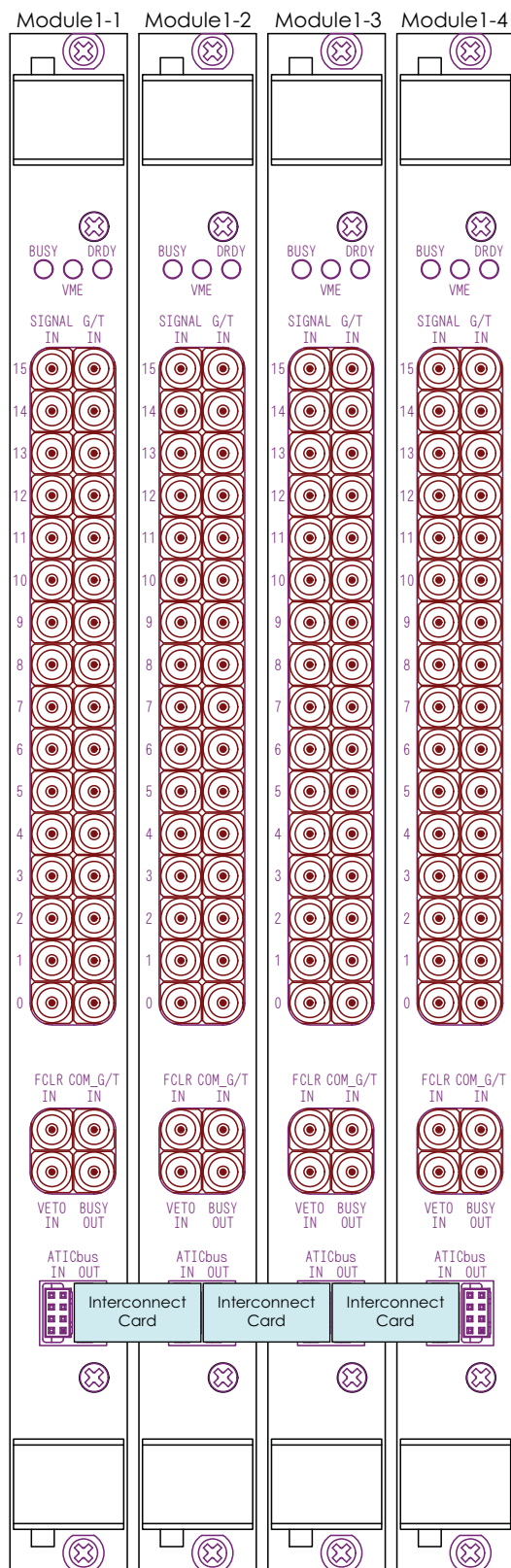
Gate/Trigger INput
この入力信号は動作モードにより使用目的が異なります。
FREE RUN LIST または TRIGGERED LIST モードで、かつ MCSR レジスタの TILSEL ビット="1" (35 ページ参照) の場合は、この入力信号が TSI 時間情報取り込みのトリガ信号として使用されます。この場合は最少パルス幅 20ns のアクティブ・ハイの信号を入力します。
上記以外の動作条件においては、ゲート信号として使用し、この信号が各 Ch のピーク検出タイミングにおいて真であった場合にのみピークホールドを行い、AD 変換を実行します。TTL 信号を入力し、論理は各 Ch に設けられている CCR レジスタの GM0,GM1 ビット (26 ページ参照) の設定により COIN/ANTI/OFF のいずれかに選択可能です。
Signal : TTL、Zin : 1 k Ω、LEMO

COMmon Gate/Trigger INput
この入力信号は動作モードにより使用目的が異なります。
GATED LIST の場合は、この信号が真の期間にのみ全 Ch のピークホールドを行い、信号が偽になった時点から AD 変換を開始します。またこの信号でイベントカウントをインクリメントします。
TRIGGERED LIST では、この信号が真になったタイミングで TSI もしくは TLI の時間情報をゼロクリアするとともに、イベントカウントをインクリメントします。
上記以外のモードでは全 Ch 共通のゲート信号として機能し、この信号が各 Ch のピーク検出タイミングにおいて真であった場合にのみピークホールドを行い、AD 変換を実行します。
ゲート/トリガ信号いずれの場合も最少パルス幅 20ns の信号を入力します。論理は MCSR レジスタの CGM0,CGM1 ビット (35 ページ参照) の設定によりゲート信号の場合は COIN/ANTI/OFF、トリガ信号の場合にはアクティブ・ハイ/ローのいずれかに選択可能です。
Signal : TTL、Zin : 1 k Ω、LEMO

BUSY OUT
ビジー状態を表す出力信号で、BUSY LED 同じ状態にある間、ハイレベルの信号を出力します。
Signal : TTL、LEMO コネクタ

5 . ATICbus(Acquire & Time Information Control bus)

入力数が 16ch 以上のシステムにおいてリストデータをタイムスタンプの時間情報と一緒に計測する場合は、複数のモジュール間でのクロックや時間上のクリア、測定開始の同期を取る必要が生じます。ATICbusはこの目的を達成するために用意されており、付属の IC(Interconnect Card)を用いて隣り合うモジュールの OUT-IN 間を接続してバスを構成します。IC は左隣の ATICbus-OUT コネクタと右隣の IN コネクタを接続するように装着します。



ATICbusにはLVDS(Low Voltage Differential Voltage)レベルの時間情報を計数するカウンタクロック TIC_CLK+/-とクリア TIC_CLR+/-、および LVCMOS レベルの測定制御信号 COM_START*が含まれます。

例えば左図のように Module-1~4 までの 4 枚を IC でバス接続すると、Module-1 がマスタ、Module-2 と 3 は中間に位置するスレーブ、Module-4 は最後のスレーブボードであるように自動的に構成されます（この情報は MCSR レジスタの M/S0、M/S1 ビットにより知る事が出来ます）。

TIC_CLK+/-と TIC_CLR+/-信号はマスタである Module-1 がドライブし、全てのスレーブはレシーバとなり、全モジュールが共通のクロックおよびクリア信号を使用します。COM_START*信号はオープンドレインによる Wired-Or の接続形態をとり、マスタがこの信号をドライブします。従って全てのスレーブモジュールはマスタモジュールに同期して測定の開始/終了、時間情報カウンタの計数開始がコントロールされる事になります。

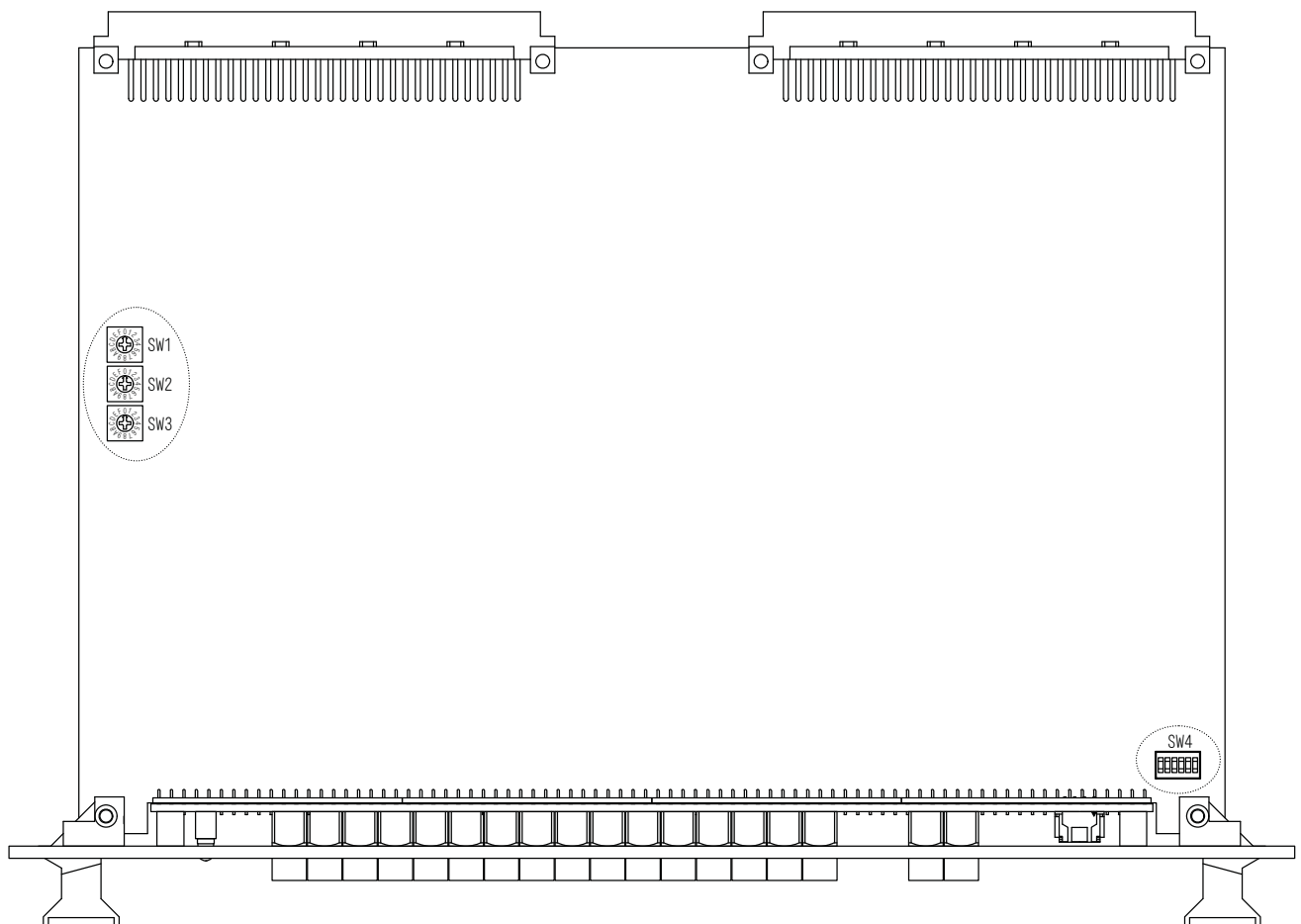
ATICbus を接続する際に忘れてはならない大切な処置がもう一つあります。それは LVDS 信号の終端抵抗の取扱です。終端抵抗を実装するのは最後のスレーブだけにし、マスタと中間のスレーブは全て終端抵抗を外す必要があります、次ページ記載のボード上のスイッチ SW4 をつぎのように設定します。

・最後のスレーブ : 全て ON
 ・マスタ & 中間のスレーブ : 全て OFF

以上が ATICbus に関する説明ですが、入力数が 16ch 以上でも動作モードによっては ATICbus 接続する必要のない場合があります。しかし逆に 16ch 以内でしか動作させる事が出来ない動作モードもありますので注意が必要です。

以下に各動作モードにおける Ch 数の制限、条件などについて説明しますので参考にしてください。

動作モード	制限・条件
PHA のみ	特に制限、条件はなし（16ch 以上でも ATICbus 接続の必要は無い）
GATED LIST	特に制限、条件はなし（16ch 以上でも ATICbus 接続の必要は無い）
FREE RUN LIST + TSI	16ch 以上の場合は ATICbus 接続しなければならない
FREE RUN LIST + TLI	16ch 以内でしか使用出来ません
TRIGGERED LIST + TSI	16ch 以上の場合は ATICbus 接続しなければならない
TRIGGERED LIST + TLI	16ch 以内でしか使用出来ません

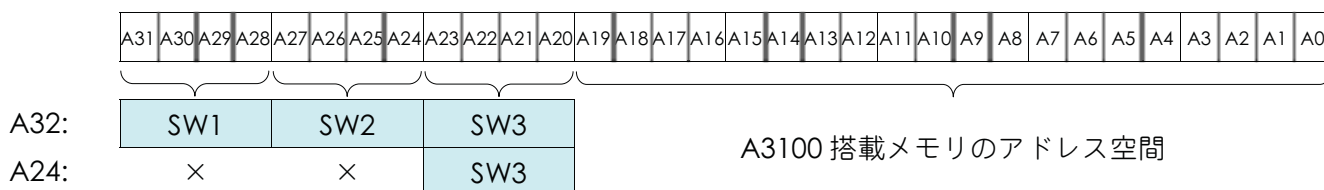


6. VME インターフェース

6.1 ベースアドレス

A3100 は 1Mbyte(256 k × 32bits)のメモリを搭載しており、VMEbus に対して 0x00000~0xFFFFF のアドレス領域を占有しますが、これを VMEbus 全アドレス空間の何処に割り当ててるのかを決めるのがベースアドレスの設定です。ベースアドレスの設定は前頁のボード実装図に図示されている SW1~SW3 のスイッチで行います。

SW1~SW3 は下図の様にそれぞれ VMEbus アドレスの A32-28、A27-24、A23-20 に対応しており、A32 アドレス指定モードでは全てのスイッチ、A24 アドレス指定モードでは SW3 の設定のみが有効となります。



6.2 AM(Address Modifier) code

ベースアドレスを介して A3100 にアクセスする場合にサポートされている AM コードは以下の通りです。

AM code	Description
0x3F	A24 supervisory block transfer(BLT)
0x3D	A24 supervisory data access
0x3B	A24 non privileged block transfer(BLT)
0x39	A24 non privileged data access
0x0F	A32 supervisory block transfer(BLT)
0x0D	A32 supervisory data access
0x0B	A32 non privileged block transfer(BLT)
0x09	A32 non privileged data access

6.3 MCST(Multicast) Addressing

複数枚の A3100 モジュールの同一のレジスタに、同じ内容のデータを書き込む場合、通常なら VME マスタ・モジュールは枚数分だけのアクセスを繰り返す必要がありますが、この MCST アドレッシングを利用すると 1 回のアクセスを実行するだけで全てのモジュールへの書込みが同時に完了するというメリットがあります。但し、モジュールが MCST アドレッシングに正常に応答するためには以下の条件を満たしていなければなりません。

(1) アクセス可能な AM コードは次の 2 通り。

0x0D(A32 supervisory data access)

0x09(A32 non privileged data access)

(2) 書き込みサイクルのみ。

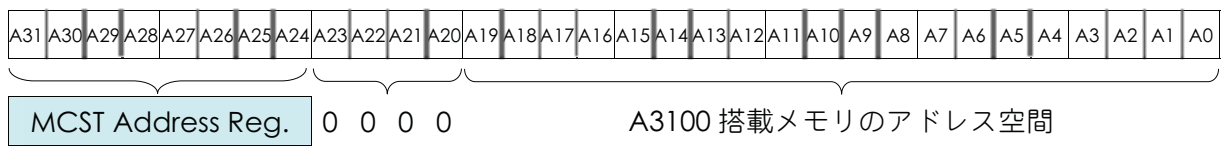
(3) MCST アドレッシングに応答するようにレジスタが正しく設定されているモジュールのみ。

(1)と(2)は VME マスタ・モジュールのプログラミングだけで解決できる条件ですが、(3)は A3100 のレジスタ設定について正しく理解し、設定する必要があります。

MCST アドレッシングに関係のあるレジスタは MCST Address Reg.と MCST Control Reg.の 2 つで、それぞれ次のように設定します。

■MCST ベースアドレスを設定する。

「6.1 ベースアドレス」で定義したアドレス空間に行く通常のアクセスと、MCST によるアクセスのアドレス空間を分けるために、MCST アドレッシング用のベースアドレスを MCST Address Reg.に設定します。VME アドレスの A31-A24 が MCST Address Reg.に設定した 8bits の値に等しく、さらに A23-A20 までの 4bits がすべてゼロである場合のアドレス空間が MCST アドレッシングの可能な領域となります。MCST アドレッシングに回答させたいモジュールには全て同じ値を MCST Address Reg.に設定します。



■モジュールのチェーン（つながり）を設定する。

MCST のアクセスサイクルは全てのモジュールに対して一斉に同時に実行されるわけではありません。VMEbus の IACKIN/IACKOUT デイジー・チェーンを使用して、アクセスすることの出来る権利を表すトークンをモジュールから次のモジュールへと渡し、トークンを得たモジュールだけが書き込みサイクルを実行します。ICAKIN/ICAKOUT のデイジー・チェーンを使用しますからトークンは VMEbus バックプレーンのスロット番号の小さなスロットに装着されたモジュールから大きなスロット番号のモジュールへとパスされていくこととなりますが、単にスロットにモジュールが装着されているだけではトークンは正しくパスされていきません。MCST アクセスに対して応答するモジュールのチェーンを MCST Control Reg.に正しく設定しておく必要があります。MCST Control Reg.には 2 つのビットが次のように定義されています。

F bit	L bit	status	MCST チェーン内でのモジュールの位置
0	0	inactive	最初または最後以外のモジュール
0	1	active	最後のモジュール
1	0	active	最初のモジュール
1	1	active	最初と最後に挟まれた中間に位置するモジュール

最初のモジュールとは、MCST アクセスに回答させたいモジュールの繋がりの中で最も小さなスロット番号に装着されているモジュールのことです。最後のモジュールは逆に MCST アクセスに回答させたいモジュールの繋がりの中で最も大きなスロット番号に装着されているモジュールのことです。

中間に位置するモジュールに F,L bit 共に 0 を設定した場合は inactive なモジュールとして判断されるため書き込みを実行しませんが、トークンは次のモジュールへ正常にパスします。

MCST アドレッシングは VMEbus マスタ・モジュールの MCST アドレス空間への書き込みサイクル開始で始まり、まずは F,L bit=1,0 の最初のモジュールが書き込みを行います。書き込みが完了するとトークンを IACKOUT に出力し、次のモジュールへアクセス権を渡します。次のモジュールはそのトークンが IACKIN に入ってきた事を知ると書き込みサイクルを実行します。以降、最後のモジュールまでこの動作を繰り返

し、最後のモジュールが書き込みを終えると VMEbus のデータ転送応答である DTACK ラインをドライブします。VMEbus マスタ・モジュールは DTACK を受けて、初めてこの書き込みバスサイクルを終了することになります。

以上のことから、MCST アドレッシングには次の 2 つの点で注意が必要です。

- (1) MCST アドレッシングは全てのモジュールが同一タイミングで書き込みを行うわけではないこと。
- (2) MCST チェーンを構成するモジュールの間に空きスロットがあってはならないこと。但し Auto Daisy Chain 対応のバックプレーンであればこの限りではありません。

6.4 VME Interrupt

A3100 が VMEbus へ割り込みを発生する要因としては、リストデータバッファへのデータ書き込み状況に拠る 2 通りがあります。

■リストデータサイズによる割り込み

リストデータバッファに書き込まれたデータサイズが List Data Size Preset Reg. の設定値をオーバーしたら割り込みを発生します。

測定が一時中断されることなく継続して行えるようにするには書き込みデータでリストデータバッファが一杯になる前に、リストデータバッファのデータを適当な頻度で常に読み出してやる必要があります。通常では List Data Size Preset Reg. にリストデータバッファサイズの約半分の値を設定して割り込みを待ちます。そうすると VMEbus マスタが割り込み発生を受けてリストデータバッファの読み出しを行っている間にも、残り半分の空き領域に新たな測定データを書き込むことが出来ます。しかしながらこれはあくまでも全 Ch 入力信号により生ずる書き込みデータ量のレートと VMEbus マスタによる読み出し転送レートが接近している場合であり、両者のバランスが大きく異なる場合には List Data Size Preset Reg. に設定する値もそれに依りて検討しなおす必要があります。

■イベントカウント数による割り込み

イベントカウント数が Event Count Preset Reg. の設定値をオーバーしたら割り込みを発生します。

この割り込みはイベントカウントがカウントアップする GATED LIST または TRIGGERED LIST の場合だけに有効です。また Event Count Preset Reg. の設定値と比較されるイベントカウント数とはイベントカウント値そのものの絶対値ではなく、割り込み発生から次の割り込み発生時までのイベントカウントの差分の数となります。

COM_G/TIN 入力パルス 1 個による 1 イベント当りのリストデータバッファ書き込みデータサイズは、そのときに信号入力のあった Ch 数に依存するので一概に断定出来ませんが、最大値は 16ch 全てに入ってきた場合で、GATED LIST : $17 \times 32\text{bits}$ 、TRIGGERED LIST : $48 \times 32\text{bits}$ のデータサイズとなります。逆に、最小値は GATED LIST モードにおいて 1ch しか信号入力が無かった場合の $2 \times 32\text{bits}$ です。従って設定可能なイベントカウント・プリセットの最大値はバッファサイズによる限界から $127k \times 32\text{bits} / 2 \times 32\text{bits} = 65024 (0xFE00)$ となります。

希望する割り込み発生時の割り込みレベルは IRQ Control Reg. に、また割り込み応答サイクル時に VMEbus マスタによって読み出される割り込み Status/ID は IRQ Vector Reg. に初期設定しておきます。

A3100 からの割り込み信号は当モジュールへの割り込み応答サイクル実行時点で解除されます。

7. Memory

256k×32bitsのメモリにはCh0~Ch16までのPHAメモリに128k×32bits、リストデータバッファに127k×32bits、レジスタ領域に1k×32bitsが割り当てられています。

各PHAメモリのデータサイズは8kch×32bitsで、内部のデータ構造は下図の通りです。

リストデータバッファについては「8. List Data Buffer」、レジスタについては「9. Register Map」を参照。

	D31	D24 D23	D16 D15	D8 D7	D0
BA+0x00000 ch0 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x08000 ch1 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x10000 ch2 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x18000 ch3 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x20000 ch4 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x28000 ch5 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x30000 ch6 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x38000 ch7 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x40000 ch8 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x48000 ch9 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x50000 ch10 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x58000 ch11 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x60000 ch12 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x68000 ch13 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x70000 ch14 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x78000 ch15 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x80000	List Data Buffer(127k x 32bits)				
BA+0xFEFFC BA+0xFF000	Register(1k x 32bits)				
BA+0xFFFFC					

(BA: Base Address)

8 . List Data Buffer

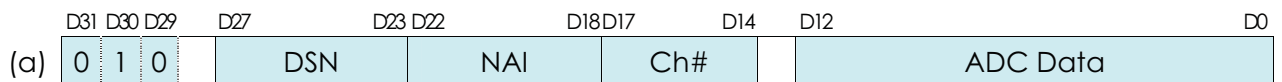
リストデータはロングワード(32bits)単位でリストデータバッファに書き込まれ、その内容は各動作モードにより変化するため、各データの上位 3bits にはそのデータがどのような内容のものであるかを表す DID(Data IDentification)ビットが定義されています。

DID No.	D31	D30	D29	Description
0	0	0	0	(Reserved)
1	0	0	1	(Reserved)
2	0	1	0	GATED LIST モード時の ADC データ
3	0	1	1	イベントカウントデータ
4	1	0	0	TLI-HI + ADC データ
5	1	0	1	TLI-LO データ
6	1	1	0	TSI-HI + ADC データ
7	1	1	1	TSI-LO データ

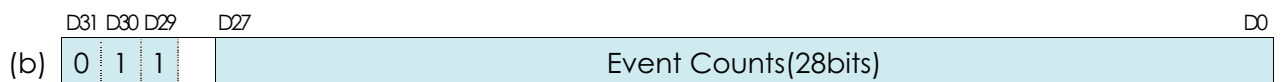
以降、各リスト動作モードにおけるデータ構造を説明します。

8.1 GATED LIST

1 イベント当りのリストデータバッファに書き込まれるデータは、1 個~16 個までの下図(a)に示す ADC データと(b)のイベントカウントデータから成り立ち、ADC データの数はイベント発生時に信号入力のあった Ch 数により変化します。



- ・ Ch#: 入力のあったチャンネル番号(0 - 0xF)
- ・ NAI(Number of Active Input): 入力のあった Ch の総数(1 - 0x10)
- ・ DSN(Data Sequence Number): 先頭の ADC データからの通し番号(1 - NAI)



一例として COM_G/T IN の期間中 Ch0、Ch2、Ch3、Ch6、Ch10 に入力があり、次の COM_G/T IN 期間中には Ch1、Ch3、Ch14 に入力があった場合は、以下のようなデータがリストデータバッファに書き込まれます。

D31	D30	D29	D27	D23	D22	D18	D17	D14	D12	D0					
0	1	0	0	0	0	1	0	0	1	0	0	0	0	0	ADC Data(ch0)
0	1	0	0	0	0	1	0	0	0	1	0	1	0	0	ADC Data(ch2)
0	1	0	0	0	0	1	1	0	0	1	0	1	0	1	ADC Data(ch3)
0	1	0	0	0	1	0	0	0	0	1	0	1	1	0	ADC Data(ch6)
0	1	0	0	0	1	0	0	1	0	1	1	0	1	0	ADC Data(ch10)
0	1	1	Event Counts(n)												
0	1	0	0	0	0	1	0	0	0	1	1	0	0	0	ADC Data(ch1)
0	1	0	0	0	0	1	0	0	0	1	1	0	0	1	ADC Data(ch3)
0	1	0	0	0	0	1	1	0	0	1	1	1	0	0	ADC Data(ch14)
0	1	1	Event Counts(n+1)												

8.2 FREE RUN LIST + TLI

1 入力信号あたり次の2つのロングワードデータで構成されます。

D31	D30	D29	D28	D18	D17	D14	D13	D12	D0
1	0	0		TLI-HI(11bits)		Ch#	Flip Bit	ADC Data	

- ・ Ch#: 入力のあったチャンネル番号(0 - 0xF)
- ・ TLI-HI: Time Lag Information(Higher 11bits)
- ・ Flip bit: TLI データのコインシデンスを判断するビット。詳細は「11.TLI データについて」を参照。

D31	D30	D29	D28							D0
1	0	1		TLI-LO(29bits)						

- ・ TLI-LO: Time Lag Information(Lower 29bits)

8.3 FREE RUN LIST + TSI

1 入力信号あたり次の2つのロングワードデータで構成されます。

D31	D30	D29	D28	D18	D17	D14	D12	D0
1	1	0		TSI-HI(11bits)		Ch#		ADC Data

- ・ Ch#: 入力のあったチャンネル番号(0 - 0xF)
- ・ TSI-HI: Time Stamp Information(Higher 11bits)

D31	D30	D29	D28							D0
1	1	1		TSI-LO(29bits)						

- ・ TSI-LO: Time Stamp Information(Lower 29bits)

8.4 TRIGGERED LIST + TLI

1 入力信号あたり次の3つのロングワードデータで構成されます。

D31	D30	D29	D28	D18	D17	D14	D13	D12	D0
1	0	0		TLI-HI(11bits)		Ch#	Flip Bit	ADC Data	

- ・ Ch#: 入力のあったチャンネル番号(0 - 0xF)
- ・ TLI-HI: Time Lag Information(Higher 11bits)
- ・ Flip bit: TLI データのコインシデンスを判断するビット。詳細は「11.TLI データについて」を参照。

D31	D30	D29	D28							D0
1	0	1		TLI-LO(29bits)						

- ・ TLI-LO: Time Lag Information(Lower 29bits)

D31	D30	D29	D27							D0
0	1	1		Event Counts(28bits)						

8.5 TRIGGERED LIST + TSI

1 入力信号あたり次の3つのロングワードデータで構成されます。

D31	D30	D29	D28	D18	D17	D14	D12	D0
1	1	0		TSI-HI(11bits)		Ch#		ADC Data

- ・ Ch#: 入力のあったチャンネル番号(0 - 0xF)
- ・ TSI-HI: Time Stamp Information(Higher 11bits)

D31	D30	D29	D28							D0
1	1	1		TSI-LO(29bits)						

- ・ TSI-LO: Time Stamp Information(Lower 29bits)

D31	D30	D29	D27							D0
0	1	1		Event Counts(28bits)						

8.6 リストデータバッファのデータリード

リストデータバッファはリングバッファとして機能するように構成されており、WrPtr(書き込みポインタ)、RdPtr(読み出しポインタ)の2つのポインタと EmpFlg(エンプティ・フラグ)、FullFlg(フル・フラグ)の2つのフラグによって管理されます。

リストデータバッファに書き込まれるデータはロングワード・サイズが一つの単位となっているため、WrPtr と RdPtr はリストデータバッファ開始アドレスからのオフセットをロングワード数で表し、0~0x1FBFF(0~127k-1)までの範囲の値を持ちます。

WrPtr は A3100 が内容を更新し VMEbus マスタ・モジュールはそれを参照します。逆に RdPtr は VMEbus マスタ・モジュールが内容を更新し A3100 はそれを参照します。FullFlg は A3100 がセットし VMEbus マスタ・モジュールによってクリアされますが、EmpFlg は VMEbus マスタ・モジュールによってセツされ A3100 がそれをクリアします。

従って、VMEbus マスタ・モジュールがリストデータバッファをリードする際はポインタとフラグを正しく管理する必要があります。以下にその手順の一例を示しますので参考にしてください。

```
#define BUFMAX          0x1FC00
struct list{
    unsigned long Buffer[BUFMAX];
    unsigned long space1[(0xFF410-0xFF000)/4];           // この例では使用しないレジスタ領域
    unsigned long wr_ptr;                                 // BA+0xFF410
    unsigned long rd_ptr;
    unsigned long emp_flg;
    unsigned long full_flg;
    unsigned long space2[(0xFFFC0-0xFF420)/4];           // この例では使用しないレジスタ領域
    unsigned long buf_sem;                                // semaphore reg. BA+0xFFFC0
};
#define LIST           (*(struct list *)BA + 0x80000)
unsigned long         rd_buf[BUFMAX], data_siz, n;

if( !LIST.emp_flg ){
    data_siz = (LIST.wr_ptr > LIST.rd_ptr)? (LIST.wr_ptr - LIST.rd_ptr): (BUFMAX - LIST.rd_ptr) + LIST.wr_ptr;
    n = 0;
    while(data_siz--){
        rd_buf[n++] = LIST.buffer[LIST.rd_ptr++];
        if( LIST.rd_ptr >= BUFMAX )
            LIST.rd_ptr = 0;
    }
    LIST.buf_sem = 0;                                     // (a) Request to get semaphore token
    While( LIST.buf_sem )                                // (b)wait until shared resource will be released
        ;
    if( LIST.full_flg )
        LIST.full_flg = 0;
    If( LIST.rd_ptr == LIST.wr_ptr )
        LIST.emp_flg = 1;
    LIST.buf_sem = 1;                                    // (c)releas semaphore token
}

```

特に注意すべき点は

■ リングバッファなので WrPtr と RdPtr の大小関係が逆転するときがある。

■ コメント(a)~(c)のポインタを参照してフラグの判定を行う場合の排他制御。

この例では Empty かどうかを判定するために RdPtr と WrPtr の値を比較しますが、WrPtr は相手側が内容を書き換えるので、WrPtr をリードし、比較し、判定を下すまでの間に WrPtr の内容が変化すると、実際の状況と判定結果に矛盾の生じるケースが発生します。この問題を解決するために用意されているのがセマフォ・レジスタで、このレジスタを介してアクセス権を得た者だけが共有資源にアクセスでき

るという排他制御を実現します。その手順は

- (1) セマフォ・レジスタに 0 を書き込んでアクセス権を要求します。
- (2) セマフォ・レジスタの内容が 0 以外なら、共有資源を相手側が使用しているので 0 になるまで待ちます。
- (3) セマフォ・レジスタの内容が 0 なら、アクセス可能なので必要な処理を行います。
- (4) 処理が終了したら、セマフォ・レジスタに 1 を書き込んで共有資源を解放します。
(上記(3)~(4)の間、相手側は共有資源に一切アクセスできない)

9 . Register Map

メモリの BA + 0xFF000~ 0xFFFFFC に割り当てられている各レジスタの詳細について説明します。

9.1 Register Address Map

Offset Address	Register Content	Access
0xFF000~0xFF03C	CDR(Channel Dependence Registers) for Ch0 (see 9.2)	(see 9.2)
0xFF040~0xFF07C	CDR(Channel Dependence Registers) for Ch1 (see 9.2)	(see 9.2)
0xFF080~0xFF0BC	CDR(Channel Dependence Registers) for Ch2 (see 9.2)	(see 9.2)
0xFF0C0~0xFF0FC	CDR(Channel Dependence Registers) for Ch3 (see 9.2)	(see 9.2)
0xFF100~0xFF03C	CDR(Channel Dependence Registers) for Ch4 (see 9.2)	(see 9.2)
0xFF140~0xFF07C	CDR(Channel Dependence Registers) for Ch5 (see 9.2)	(see 9.2)
0xFF180~0xFF0BC	CDR(Channel Dependence Registers) for Ch6 (see 9.2)	(see 9.2)
0xFF1C0~0xFF0FC	CDR(Channel Dependence Registers) for Ch7 (see 9.2)	(see 9.2)
0xFF200~0xFF03C	CDR(Channel Dependence Registers) for Ch8 (see 9.2)	(see 9.2)
0xFF240~0xFF07C	CDR(Channel Dependence Registers) for Ch9 (see 9.2)	(see 9.2)
0xFF280~0xFF0BC	CDR(Channel Dependence Registers) for Ch10 (see 9.2)	(see 9.2)
0xFF2C0~0xFF0FC	CDR(Channel Dependence Registers) for Ch11 (see 9.2)	(see 9.2)
0xFF300~0xFF03C	CDR(Channel Dependence Registers) for Ch12 (see 9.2)	(see 9.2)
0xFF340~0xFF07C	CDR(Channel Dependence Registers) for Ch13 (see 9.2)	(see 9.2)
0xFF380~0xFF0BC	CDR(Channel Dependence Registers) for Ch14 (see 9.2)	(see 9.2)
0xFF3C0~0xFF0FC	CDR(Channel Dependence Registers) for Ch15 (see 9.2)	(see 9.2)
0xFF400	IRQVR (IRQ Vector Register)	Read/Write
0xFF404	IRQCR (IRQ Level Register)	Read/Write
0xFF408	MCSTAR (Multicast Address Register)	Read/Write
0xFF40C	MCSTCR (Multicast Control Register)	Read/Write
0xFF410	LBWPR (List Buffer Write Pointer Register)	Read only
0xFF414	LBRPR (List Buffer Read Pointer Register)	Read/Write
0xFF418	LBEFR (List Buffer Empty Flag Register)	Read/Write
0xFF41C	LBFFR (List Buffer Full Flag Register)	Read/Write
0xFF420	AMR (Acquire Mode Register)	Read/Write
0xFF424	ECPVR (Event Count Preset Value Register)	Read/Write
0xFF428	LDSPVR (List Data Size Preset Value Register)	Read/Write
0xFF42C~0xFF43C	(Reserved)	-
0xFF440	ACR (Acquire Control Register)	Read/Write
0xFF444	MCSR (Module Control Status Register)	Read/Write
0xFF448~0xFFFFBC	(Reserved)	-
0xFFFFC0	LBSEMR (List Buffer Semaphore Register)	Read/Write
0xFFFFC4	ACSEMR (Acquire Control Semaphore Register)	Read/Write
0xFFFFC8~0xFFFFFC	(Reserved)	-

9.2 CDR(Channel Dependence Registers) Address Map

以下のレジスタは全く同じ内容のものが各 Ch に設けられています。

Offset Address	Register Content	Access
0xFF000+0x40*n	CCR (Channel Control Register)	Read/Write
0xFF004+0x40*n	CZLR (Channel Zero Level Register)	Read/Write
0xFF008+0x40*n	CLLDR (Channel Lower Level Discriminator Register)	Read/Write
0xFF00C+0x40*n	(Reserved)	-
0xFF010+0x40*n	CRTR (Channel Real Time Register)	Read/Write
0xFF014+0x40*n	CLTR (Channel Live Time Register)	Read/Write
0xFF018+0x40*n	(Reserved)	-
0xFF01C+0x40*n	(Reserved)	-
0xFF020+0x40*n	CCGR (Channel Conversion Gain Register)	Read/Write
0xFF024+0x40*n	CPMR (Channel Preset Mode Register)	Read/Write
0xFF028+0x40*n	CPVR (Channel Preset Value Register)	Read/Write
0xFF02C+0x40*n	SPROICR (Start of Preset ROI Channel Register)	Read/Write
0xFF030+0x40*n	NPROICR (Number of Preset ROI Channel Register)	Read/Write
0xFF034+0x40*n	(Reserved)	
0xFF038+0x40*n	(Reserved)	
0xFF03C+0x40*n	(Reserved)	

(n = Ch# : 0~15)

10. 各レジスタの詳細

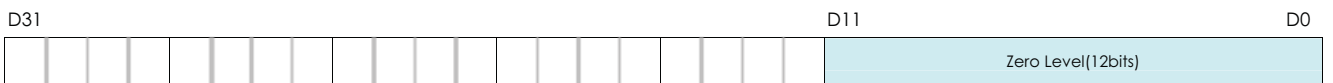
10.1 CCR(Channel Control Register) : BA + 0xFF000 + 0x40 * n(n=Ch#0~15)



ビット	名称	初期値	R/W	説明															
0	GM0	1	R/W	Gate Mode 1, 0															
1	GM1	1	R/W	各 Ch の G/T IN 入力信号をゲートとして使用する場合のモードを設定します。(FREE RUN LIST または TRIGGERED LIST モード時にこの信号をトリガ信号として使用する場合はこの設定とは関係なく、常にアクティブ・ハイの論理になります) <table border="1"> <thead> <tr> <th>GM1</th> <th>GM0</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>(無効)</td> </tr> <tr> <td>0</td> <td>1</td> <td>Anti Coincidence</td> </tr> <tr> <td>1</td> <td>0</td> <td>Coincidence</td> </tr> <tr> <td>1</td> <td>1</td> <td>Off</td> </tr> </tbody> </table>	GM1	GM0		0	0	(無効)	0	1	Anti Coincidence	1	0	Coincidence	1	1	Off
GM1	GM0																		
0	0	(無効)																	
0	1	Anti Coincidence																	
1	0	Coincidence																	
1	1	Off																	
2	DAT CLR	0	R/W	Data Clear このビットを 1 にセットすると、該当するチャンネルの PHA データメモリおよびリアルタイム(CRTR)、ライブタイム(CLTR)をゼロクリアします。 クリアが完了すると A3100 はこのビットも 0 にしてクリアが完了したことを知らせます。															

測定中の設定変更を禁止します (仮に変更したとしても無視されます)

10.2 CZLR(Channel Zero Level Register) : BA + 0xFF004 + 0x40 * n(n=Ch#0~15)



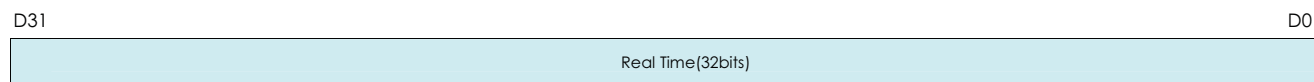
ビット	名称	初期値	R/W	説明																
0 - 11	ZL0 - ZL11	0x800	R/W	Zero Level 0 - 11 フルスケールの±5%の範囲でゼロ調整を設定します。 <table border="1"> <thead> <tr> <th>設定値</th> <th>ゼロレベル</th> </tr> </thead> <tbody> <tr> <td>0xFFF(4095)</td> <td>+4.997558594%</td> </tr> <tr> <td>:</td> <td>:</td> </tr> <tr> <td>0x801(2049)</td> <td>+0.002441406%</td> </tr> <tr> <td>0x800(2048)</td> <td>0%</td> </tr> <tr> <td>0x7FF(2047)</td> <td>-0.002441406%</td> </tr> <tr> <td>:</td> <td>:</td> </tr> <tr> <td>0x000(0)</td> <td>-5.000000000%</td> </tr> </tbody> </table>	設定値	ゼロレベル	0xFFF(4095)	+4.997558594%	:	:	0x801(2049)	+0.002441406%	0x800(2048)	0%	0x7FF(2047)	-0.002441406%	:	:	0x000(0)	-5.000000000%
設定値	ゼロレベル																			
0xFFF(4095)	+4.997558594%																			
:	:																			
0x801(2049)	+0.002441406%																			
0x800(2048)	0%																			
0x7FF(2047)	-0.002441406%																			
:	:																			
0x000(0)	-5.000000000%																			

10.3 CLLDR(Channel Lower Level Discriminator Register) : BA + 0xFF008 + 0x40 * n(n=Ch#0~15)



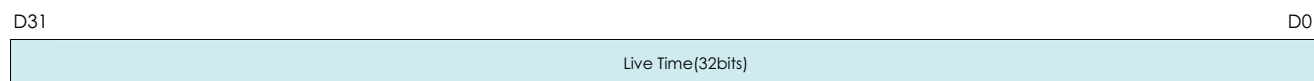
ビット	名称	初期値	R/W	説明
0 - 11	LLD0 - LLD11	0x1A0	R/W	Lower Level Discriminator 0 - 11 フルスケールの+10%の範囲で LLD レベルを設定します。 設定値 ゼロレベル 0xFFF(4095) : +10.0000000000% 0xFFE(4094) : +9.997557998% : 0x001(1) : +0.002442002% 0x000(0) : 0%

10.4 CRTR(Channel Real Time Register) : BA + 0xFF010 + 0x40 * n(n=Ch#0~15)



ビット	名称	初期値	R/W	説明
0 - 31	RT0 - RT31	0	R/W	Real Time 0 - 31 0.01sec~ 42949672.95sec 範囲を持つ 10ms 単位のリアルタイム・データです。 通常はリードしか行いません。もし CCR レジスタの DAT CLR ビットを使用せずに、PHA メモリをクリアした場合にはこのレジスタに 0 をライトしてリアルタイムも一緒にゼロクリアします。

10.5 CLTR(Channel Live Time Register) : BA + 0xFF014 + 0x40 * n(n=Ch#0~15)



ビット	名称	初期値	R/W	説明
0 - 31	LT0 - LT31	0	R/W	Live Time 0 - 31 0.01sec~ 42949672.95sec の範囲を持つ 10ms 単位のライブタイム・データです。 通常はリードしか行いません。もし CCR レジスタの DAT CLR ビットを使用せずに、PHA メモリをクリアした場合にはこのレジスタに 0 をライトしてライブタイムも一緒にゼロクリアします。

10.6 CCGR(Channel Conversion Gain Register) : BA + 0xFF020 + 0x40 * n(n=Ch#0~15)

D31

D2 D1 D0

																													CG2	CG1	CG0
--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	-----	-----	-----

ビット	名称	初期値	R/W	説明		
0	CG0	0	R/W	Conversion Gain 2, 1, 0		
1	CG1	0	R/W	ADC の変換ゲインを設定します。		
2	CG2	0	R/W	<u>CG2</u>	<u>CG1</u>	<u>CG0</u>
				0	0	0 : 8192
				0	0	1 : 4096
				0	1	0 : 2048
				0	1	1 : 1024
				1	0	0 : 512
				1	0	1 : 256
				1	1	0 : (無効)
				1	1	1 : (無効)

測定中の設定変更を禁止します（仮に変更したとしても無視されます）

10.7 CPMR(Channel Preset Mode Register) : BA + 0xFF024 + 0x40 * n(n=Ch#0~15)

D31

D2 D1 D0

																													PM2	PM1	PM0
--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	-----	-----	-----

ビット	名称	初期値	R/W	説明		
0	PM0	0	R/W	Preset Mode 2, 1, 0		
1	PM1	0	R/W	PHA 動作時のプリセットモードを設定します。		
2	PM2	0	R/W	<u>PM2</u>	<u>PM1</u>	<u>PM0</u>
				0	0	0 : OFF
				0	0	1 : RT(Real Time) Preset
				0	1	0 : LT(Live Time) Preset
				0	1	1 : PC(Peak Counts) Preset
				1	0	0 : IC(Integral Counts) Preset
				1	0	1 : (無効)
				1	1	0 : (無効)
				1	1	1 : (無効)

測定中の設定変更を禁止します（仮に変更したとしても無視されます）

10.8 CPVR(Channel Preset Value Register) : BA + 0xFF028 + 0x40 * n(n=Ch#0~15)

D31

D0

Preset Value(32bits)	
----------------------	--

ビット	名称	初期値	R/W	説明
0 - 31	PV0 - PV31	100	R/W	Preset Value 0 - 31 プリセットの値を設定します。 <u>Preset Mode</u> <u>設定できるプリセット値の範囲</u> RT : 100 - 4294967295(1.00 - 42949672.95sec) LT : 100 - 4294967295(1.00 - 42949672.95sec) PC : 1 - 4294967295Counts(2 ³² -1) IC : 1 - 4294967295Counts(2 ³² -1)

測定中の設定変更を禁止します（仮に変更したとしても無視されます）

10.9 SPROICR(Start of Preset ROI Channel Register) : BA + 0xFF02C + 0x40 * n(n=Ch#0~15)

D31

D12

D0

Start of Preset ROI Channel(13bits)												
-------------------------------------	--	--	--	--	--	--	--	--	--	--	--	--

ビット	名称	初期値	R/W	説明
0 - 12	SOC0 - SOC12	0	R/W	Start of Channel 0 - 12 プリセットモードがPC または IC の場合にプリセットの対象となる ROI 領域の開始チャンネルを設定する。 設定できる値の範囲は 0 ~ (Conversion Gain - 1)

測定中の設定変更を禁止します（仮に変更したとしても無視されます）

10.10 NPROICR(Number of Preset ROI Channel Register) : BA + 0xFF030 + 0x40 * n(n=Ch#0~15)

D31

D12

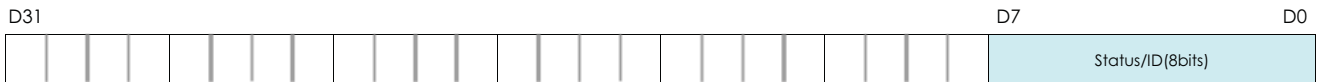
D0

Number of Preset ROI Channel(13bits)												
--------------------------------------	--	--	--	--	--	--	--	--	--	--	--	--

ビット	名称	初期値	R/W	説明
0 - 12	NOC0 - NOC12	0	R/W	Number of Channel 0 - 12 プリセットモードがPC または IC の場合にプリセットの対象となる ROI 領域のチャンネル数を設定する。 設定できる値の範囲は 1 ~ (Conversion Gain - SPROICR 設定値)

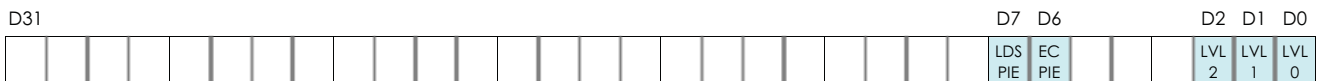
測定中の設定変更を禁止します（仮に変更したとしても無視されます）

10.11 IRQVR(IRQ Vector Register) : BA + 0xFF400



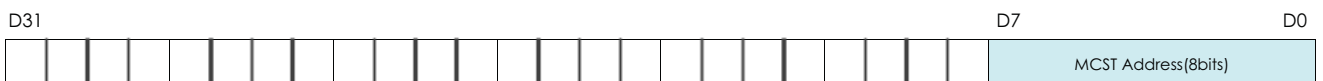
ビット	名称	初期値	R/W	説明
0 - 7	S/ID0 – S/ID7	0	R/W	Status/ID 0 - 7 割込み応答サイクル時に VME データバスに送出するベクタ・アドレスを設定する。

10.12 IRQCR(IRQ Control Register) : BA + 0xFF404



ビット	名称	初期値	R/W	説明																																				
0	LVL0	0	R/W	IRQ Level 2, 1, 0																																				
1	LVL1	0	R/W	割込み発生時の割込み要求レベルを設定します。																																				
2	LVL2	0	R/W	<table border="1"> <thead> <tr> <th>LVL2</th> <th>LVL1</th> <th>LVL0</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>: IRQ OFF</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>: IRQ1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>: IRQ2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>: IRQ3</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>: IRQ4</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>: IRQ5</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>: IRQ6</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>: IRQ7</td> </tr> </tbody> </table>	LVL2	LVL1	LVL0		0	0	0	: IRQ OFF	0	0	1	: IRQ1	0	1	0	: IRQ2	0	1	1	: IRQ3	1	0	0	: IRQ4	1	0	1	: IRQ5	1	1	0	: IRQ6	1	1	1	: IRQ7
LVL2	LVL1	LVL0																																						
0	0	0	: IRQ OFF																																					
0	0	1	: IRQ1																																					
0	1	0	: IRQ2																																					
0	1	1	: IRQ3																																					
1	0	0	: IRQ4																																					
1	0	1	: IRQ5																																					
1	1	0	: IRQ6																																					
1	1	1	: IRQ7																																					
6	ECPIE	0	R/W	Event Counts Preset IRQ Enable 0: イベントカウント・プリセットによる割込みを禁止 1: イベントカウント・プリセットによる割込みを許可																																				
7	LDSPIE	0	R/W	List Data Size Preset IRQ Enable 0: リストデータサイズ・プリセットによる割込みを禁止 1: リストデータサイズ・プリセットによる割込みを許可																																				

10.13 MCSTAR(Multicast Address Register) : BA + 0xFF408



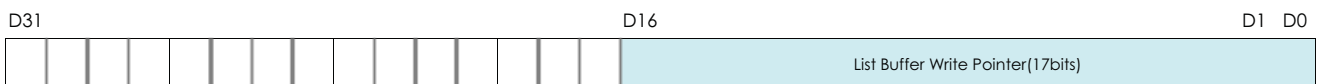
ビット	名称	初期値	R/W	説明
0 - 7	MA0 – MA7	0xEE	R/W	Multicast Address 0 - 7 MCST アドレッシング空間を定める A32 アドレス指定モードの上位 8bits に該当する値を設定する。

10.14 MCSTCRM(Multicast Control Register) : BA + 0xFF40C



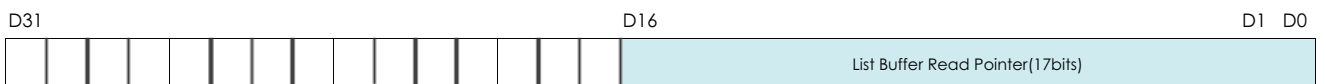
ビット	名称	初期値	R/W	説明
0	L_bit	0	R/W	Last bit, F_bit
1	F_bit	0	R/W	MCST コマンドに対して応答するモジュールのチェーンを設定する。 <u>F_bit</u> <u>L_bit</u> 0 0: 最初または最後以外のモジュール (Inactive) 0 1: 最後のモジュール (Active) 1 0: 最初のモジュール (Active) 1 1: 最初と最後に挟まれた中間に位置するモジュール (Active)

10.15 LBWPR(List Buffer Write Pointer Register) : BA + 0xFF410



ビット	名称	初期値	R/W	説明
0 - 16	WRPTR0 - WRPTR16	0	R	Write pointer 0 - 16 リストデータバッファへのデータ書き込み先を表すポインタで、許される値の範囲は 0 ~ 0x1FBFF。 この内容は A3100 によってのみ書換えられ、VMEbus 側は読み出し専用として用いる。

10.16 LBRPR(List Buffer Read Pointer Register) : BA + 0xFF414



ビット	名称	初期値	R/W	説明
0 - 16	RDPTR0 - RDPTR16	0	R/W	Read pointer 0 - 16 リストデータバッファからデータを読み出すべき場所を表すポインタで、許される値の範囲は 0 ~ 0x1FBFF。 詳細は「8.6 リードデータバッファのデータリード」を参照

10.19 AMR(Acquire Mode Register) : BA + 0xFF420

D31

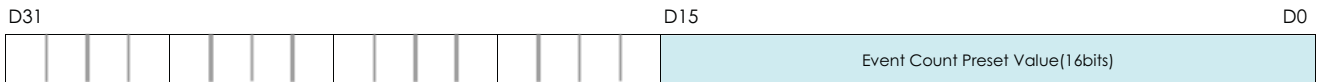
D3 D2 D1 D0

																														PHA SEL	PHA MOD	LM2	LM1	LM0
--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	---------	---------	-----	-----	-----

ビット	名称	初期値	R/W	説明
0	LM0	0	R/W	3bits で LIST 動作モードを設定します。
1	LM1	0	R/W	<u>LM2</u> <u>LM1</u> <u>LM0</u>
2	LM2	0	R/W	0 0 0: LIST OFF 0 0 1: (Reserved) 0 1 0: GATED LIST 0 1 1: (Reserved) 1 0 0: FREE RUN LIST + TLI 1 0 1: FREE RUN LIST + TSI 1 1 0: TRIGGERED LIST + TLI 1 1 1: TRIGGERED LIST + TSI
3	PHAMOD	1	R/W	PHA モードの ON/OFF を設定します。 0: PHA OFF 1: PHA ON
4	PHASEL	0	R/W	GATED LIST モード時に PHA 動作の対象とする信号を選択します。 0: GATED LIST で得られた信号のみを PHA の対象とする。 1: 全ての入力信号を PHA の対象とする。

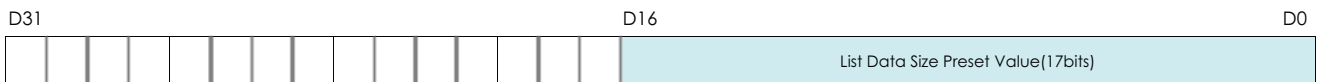
- ・ 測定中の設定変更を禁止します (仮に変更したとしても無視されます)
- ・ PHASEL は PHA の対象とする信号を選択するのみです。実際に PHA 動作をさせるには PHAMOD を 1 に設定しなければなりません。

10.20 ECPVR(Event Count Preset Value Register) : BA + 0xFF424



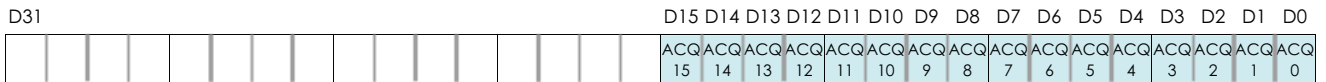
ビット	名称	初期値	R/W	説明
0 - 15	ECPV0 – ECPV15	0	R/W	Event Count Preset Value 0 – 15 0 : OFF 1 ~ 0xFE00 : 設定可能なイベントカウント数 GATED LIST または TRIGGERED LIST 動作モードにおいて、測定開始または前回このプリセットに達した時点からのイベントカウント数がこのレジスタ設定値を超えたら、MCSR レジスタの ECOF ビットを 1 にセットしてプリセットの達成を知らせます。もし割り込み許可を表す IRQCR レジスタの ECPIE ビットが 1 にセットされていたら、同時に VMEbus に割り込みを発生します。詳細は「6.4 VME Interrupt」を参照してください。

10.21 LDSPVR(List Data Size Preset Value Register) : BA + 0xFF428



ビット	名称	初期値	R/W	説明
0 - 16	LDSPV0 – LDSPV15	0	R/W	List Data Size Preset Value 0 – 16 0 : OFF 1 ~ 0x1FBFF : 設定可能なデータサイズ(ロングワード単位) 全てのリストモード動作時において、測定開始または前回このプリセットに達した時点からのロングワード・データサイズがこのレジスタ設定値を超えたら、MCSR レジスタの LDSOF ビットを 1 にセットしてプリセットの達成を知らせます。もし割り込み許可を表す IRQCR レジスタの LDSPIE ビットが 1 にセットされていたら、同時に VMEbus に割り込みを発生します。詳細は「6.4 VME Interrupt」を参照してください。

10.22 ACR(Acquire Control Register) : BA + 0xFF440



ビット	名称	初期値	R/W	説明
0	ACQ0	0	R/W	Acquire 0 – 15
1	ACQ1	0	R/W	各 Ch の測定のスタート/ストップを指令すると共に、測定状態のステータスも表します (ACQ0 – 15 はそれぞれ Ch0 – 15 に対応しています)。
2	ACQ2	0	R/W	
3	ACQ3	0	R/W	
4	ACQ4	0	R/W	■書き込み時は
5	ACQ5	0	R/W	0: 測定の停止を指令する。
6	ACQ6	0	R/W	1: 測定の開始を指令する。
7	ACQ7	0	R/W	■読み出し時は
8	ACQ8	0	R/W	0: 停止している。
9	ACQ9	0	R/W	1: 測定中である。
10	ACQ10	0	R/W	
11	ACQ11	0	R/W	PHA モードでプリセットを設定して測定している場合は、プリセットに達すると A3100 が勝手に測定を停止し、対応する Ch の ACQn ビットを 0 にします。従ってこのレジスタを読むことで全 Ch の測定状態をモニタすることが出来ます。
12	ACQ12	0	R/W	
13	ACQ13	0	R/W	
14	ACQ14	0	R/W	
15	ACQ15	0	R/W	
				このレジスタは A3100 と VMEbus の双方から書き換えを行うようになっているので、書き込み時には排他制御を行うことが必要です。例えば Ch0 がプリセットを設定して測定中である時に、後から Ch2 の測定を開始するような場合、VMEbus マスタはこのレジスタを読み出したデータと ACQ2 ビットの論理和をとって再度このレジスタへ書き戻そうとします。もし読み出してから書き戻すまでの間に Ch0 がプリセットに達してしまった場合、A3100 が Ch0 の測定終了を表すために ACQ0=0 としたにも関わらず、VMEbus マスタの書き戻しにより、また ACQ0=1 がセットされてしまい混乱を生ずる結果となります。
				排他制御を行うには ACSEMR(Acquire Control Semaphore Register)を使用します。使用方法は「8.6 リストデータバッファのデータリード」を参照してください。セマフォレジスタには LBSEMR と ACSEMR の二つがあり、LBSEMR はリストバッファ専用、ACSEMR はこの ACR 専用である点にご注意ください。

10.23 MCSR(Module Control Status Register) : BA + 0xFF444

D31	D30	D29	D27		D26	D15				D14	D13	D12	D9		D8	D6			D5	D4	D1		D0
LBUF	LDS	EC	M/S	M/S						INT	EC	LBUF	PHA		TIL	PH		TB2	TB1	TB0		CGM	CGM
OVFL	OVF	OVF	1	0						RES	CLR	CLR	CLR	SEL	MOD							1	0

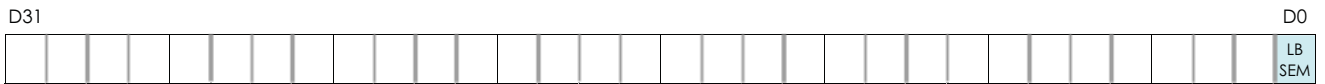
ビット	名称	初期値	R/W	説明																																				
0	CGM0	1	R/W	Common Gate Mode 1, 0																																				
1	CGM1	1	R/W	<p>全 Ch 共通の COM_G/T IN 入力信号の論理を設定します。 TRIGGERED LIST モード時のトリガ信号、その他の動作モードにおけるゲート信号の論理は以下のようになります。</p> <table border="1"> <thead> <tr> <th>GM1</th> <th>GM0</th> <th>ゲート信号</th> <th>トリガ信号</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0:</td> <td>(無効)</td> <td>(無効)</td> </tr> <tr> <td>0</td> <td>1:</td> <td>Anti Coincidence</td> <td>Active Low</td> </tr> <tr> <td>1</td> <td>0:</td> <td>Coincidence</td> <td>Active High</td> </tr> <tr> <td>1</td> <td>1:</td> <td>Off</td> <td>(無効)</td> </tr> </tbody> </table>	GM1	GM0	ゲート信号	トリガ信号	0	0:	(無効)	(無効)	0	1:	Anti Coincidence	Active Low	1	0:	Coincidence	Active High	1	1:	Off	(無効)																
GM1	GM0	ゲート信号	トリガ信号																																					
0	0:	(無効)	(無効)																																					
0	1:	Anti Coincidence	Active Low																																					
1	0:	Coincidence	Active High																																					
1	1:	Off	(無効)																																					
4	TB0	0	R/W	Time Base 0 – 2																																				
5	TB1	0	R/W	TLI, TSI クロックのタイムベースを設定する。																																				
6	TB2	0	R/W	<table border="1"> <thead> <tr> <th>TB2</th> <th>TB1</th> <th>TB0</th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0:</td> <td>5nsec</td> </tr> <tr> <td>0</td> <td>0</td> <td>1:</td> <td>10nsec</td> </tr> <tr> <td>0</td> <td>1</td> <td>0:</td> <td>20nsec</td> </tr> <tr> <td>0</td> <td>1</td> <td>1:</td> <td>50nsec</td> </tr> <tr> <td>1</td> <td>0</td> <td>0:</td> <td>100nsec</td> </tr> <tr> <td>1</td> <td>0</td> <td>1:</td> <td>200nsec</td> </tr> <tr> <td>1</td> <td>1</td> <td>0:</td> <td>500nsec</td> </tr> <tr> <td>1</td> <td>1</td> <td>1:</td> <td>1 μsec</td> </tr> </tbody> </table>	TB2	TB1	TB0		0	0	0:	5nsec	0	0	1:	10nsec	0	1	0:	20nsec	0	1	1:	50nsec	1	0	0:	100nsec	1	0	1:	200nsec	1	1	0:	500nsec	1	1	1:	1 μsec
TB2	TB1	TB0																																						
0	0	0:	5nsec																																					
0	0	1:	10nsec																																					
0	1	0:	20nsec																																					
0	1	1:	50nsec																																					
1	0	0:	100nsec																																					
1	0	1:	200nsec																																					
1	1	0:	500nsec																																					
1	1	1:	1 μsec																																					
8	PHMOD	0	R/W	<p>Peak Hold Mode GATED LIST 時における COM_G/T 信号期間内でのピークホールドの方法を選択する。 0: 最初のピークレベルをホールドする。 1: 最も大きなピークレベルをホールドする。</p>																																				
9	TILSEL	0	R/W	<p>Time Information Latch Select FREE RUN LIST, TRIGGERED LIST 時に時間情報 TLI/TSI をラッチするタイミングを選択する。 0: 各 Ch のピーク検出のタイミング(TLI, TSI 両方で設定可能) 1: 各 Ch の G/T IN 入力信号のタイミング(TSI にのみ設定可能)</p>																																				
12	PHA CLR	0	R/W	<p>PHA Memory Clear このビットを 1 にセットすると、全 Ch の PHA データメモリおよび CRTR, CLTR レジスタの内容をゼロクリアします。 クリアが完了すると A3100 はこのビットを 0 にしてクリアが完了したことを知らせます。</p>																																				

13	LBUF CLR	0	R/W	List Buffer Clear このビットを 1 にセットすると、リストデータバッファの内容を全てゼロクリアします。 クリアが完了すると A3100 はこのビットを 0 にしてクリアが完了したことを知らせます。
14	EC CLR	0	R/W	Event Count Clear このビットを 1 にセットすると、イベントカウンタの内容をゼロクリアします。 クリアが完了すると A3100 はこのビットを 0 にしてクリアが完了したことを知らせます。
15	INT RES	0	R/W	Internal Reset このビットを 1 にセットすると、パワーオン時と同じ様に A3100 全体をリセットします。 リセットが完了すると A3100 はこのビットを 0 にしてリセットの終了を知らせます。
26 27	M/S0 M/S1	(不定) (不定)	R R	Master/Slave 0、1 ATICbus における本モジュールの接続状況を表します。 <u>M/S1</u> <u>M/S0</u> 0 0: バス接続の中間に位置するスレーブ 0 1: バス接続の最後に位置するスレーブ 1 0: マスタ (バス接続の最初に位置する) 1 1: スタンドアローン
29	EC OVF	0	R/W	Event Count Over Flag 0: イベントカウンタはプリセット値に達していない。 1: イベントカウンタはプリセット値をオーバーしている。 VMEbus マスタはこのビットが 1 にセットされているのをリードしたら、確認応答の為にこのビットをゼロクリアしなければなりません。
30	LDS OVF	0	R/W	List Data Size Over Flag 0: リストデータサイズはプリセット値に達していない。 1: リストデータサイズはプリセット値をオーバーしている。 VMEbus マスタはこのビットが 1 にセットされているのをリードしたら、確認応答の為にこのビットをゼロクリアしなければなりません。
31	LBUF OVFL	0	R/W	List Buffer Overflow 0: リストデータバッファはオーバーフローしていない。 1: リストデータバッファはオーバーフローしている。 VMEbus マスタはこのビットが 1 にセットされているのをリードしたら、確認応答の為にこのビットをゼロクリアしなければなりません。

Bit0~13 までは測定中の設定変更を禁止します (仮に変更したとしても無視されます)

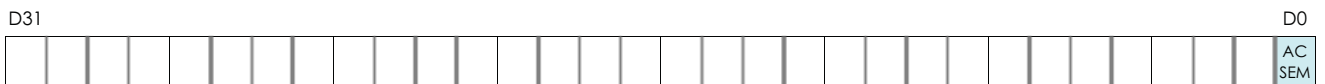
Bit26,27 は常に書き込み禁止です

10.24 LBSEMR(List Buffer Semaphore Register) : BA + 0xFFFC0



ビット	名称	初期値	R/W	説明
0	LBSEM	-	W	List Buffer Semaphore
0 - 31		(不定)	R	リストバッファのポインタを参照してフラグを更新する場合の排他制御に使用するセマフォ・レジスタです。 書き込み時は D0 だけが有効ですが、読み出し時は全ビットに同じ値が読み出されます。つまり All 0/All 1 のどちらかです。 ■書き込み時 0: アクセス権を要求する。 1: アクセス権を開放する。 ■読み出し時 0: アクセス権を確保した。 1: アクセス権は相手側にある。

10.25 ACSEMR(Acquire Control Semaphore Register) : BA + 0xFFFC4



ビット	名称	初期値	R/W	説明
0	ACSEM	-	W	Acquire Control Semaphore
0 - 31		(不定)	R	ACR レジスタの内容を書き換える際の排他制御に使用するセマフォ・レジスタです。 書き込み時は D0 だけが有効ですが、読み出し時は全ビットに同じ値が読み出されます。つまり All 0/All 1 のどちらかです。 ■書き込み時 0: アクセス権を要求する。 1: アクセス権を開放する。 ■読み出し時 0: アクセス権を確保した。 1: アクセス権は相手側にある。

11. TLI データについて

11.1 TLI データと Flip bit

FREE RUN LIST+TLI もしくは TRIGGERD LIST+TLI モードで、ピーク検出タイミングが同一であった場合の時間差情報 TLI データの取り扱いについて説明します。

同一とは言え、正確には 200MHz クロックでピーク検出の有無をサンプリングしているため、クロックの 1 周期 (5ns) 範囲内に検出したピークは同一タイミングと見なされ、全く同じ値の TLI データを取り込むこととなります。

例えば測定したリストデータに以下のような内容が含まれていた場合、(2),(3)および(6),(7),(8)の TLI デー

入力 ch	ADC	TLI	Flip bit	
:	:	:	:	
3	789	3456	0	----- (1)
0	1234	56789	1	----- (2)
3	345	56789	1	----- (3)
12	4567	1	0	----- (4)
:	:	:	:	
0	654	876	1	----- (5)
12	987	6543	0	----- (6)
0	5432	6543	1	----- (7)
3	2345	6543	1	----- (8)
12	4321	12321	0	----- (9)
:	:	:	:	

タは同じ値であるため、これらの信号は同一タイミングでピーク検出された？それとも一つ前の信号からの時間差が偶然にも全く同じであった？という二通りの解釈を行うことが出来ます。この疑問を正しく解決するために用意されているのがフリップビットです。このビットは 16 ch のいずれかにピーク検出があれば、ピーク検出サンプリングと同じ 200MHz クロックに同期して 1、0 の値が交互に反転するように動作します。従って、同じ TLI データが連続しており、かつそれらのフリップビットの値も等しい場合はピーク検出が同一タイミングであったことを表し、フリップビットが異なる場合は同じ時間差ではあるが、異なるタイミングで発生したものであると判断することが出来ます。上記(2),(3)の信号は(1)の信号から 56789 クロック遅れて同時に 2 つのピークが検出されたことを、(6)の信号は(5)より 6543 クロック遅れ、さらに同じ 6543 クロック遅れてから(7),(8)の信号がピーク検出されたことを物語ります。

ちなみに、TLI データの値は MCSR レジスタに設定するタイムベースのクロック数を表します。もし上記のリストデータがタイムベース=10ns で測定したものであるならば、(2)の信号は(1)の信号から遅れること 34.56 μ s 後に入力されてきたことを表し、(4)の信号は(3)より 1 クロック=10ns だけ遅れた信号であることを表しています。

11.2 TLI データ取込みタイミング

時間情報の取込みタイミングとしては、MCSR レジスタの TILSEL ビットでピーク検出タイミングか、もしくは各 ch の G/T IN 入力信号タイミングのいずれかを選択することが出来ますが、時間差データを取得する TLI モードでは、内部のピーク検出タイミングしか選ぶことが出来ません。その理由は「A3100 が入力信号を AD 変換しメモリに記憶していく順番はピーク検出タイミング順である」という原則にあります。TLI モードで G/T IN 入力信号タイミングを使用するようにした場合、各 ch に入ってくる G/T IN 信号の入力順と、入力信号のピーク検出順が同じであるという保証がないため、リストバッファに記憶されたデータは時間相関の面で信頼に乏しく、信用の得られないケースが発生するからです。

では、G/T IN 入力信号順に AD 変換すれば問題が解決するようにも思えますが現実はその単純ではありません。G/T IN にタイミング入力のあった ch の入力信号は、常に AD 変換されるとは限らないからです。例えば入力信号レベルが LLD 以下であった場合は、いつまで経っても AD 変換を実行するための条件が整わず、A3100 がデッドロックしたような状態に陥ります。仮にタイムアウト時間を設けたとしても、その間はデッドタイムとなり、全体のスループットが低下するという弊害を生じてしまいます。以上のことから TLI モードではピーク検出タイミングのみの設定となっていました。

TSI モードでも G/T IN 信号タイミングを選択した場合は、リストバッファ内のデータが時系列順ではなくなるケースが発生しますが、データ内に記憶される時間情報は経過時間であり、後で TSI データを用いて時系列順に並べ替えることが可能であることから、G/T IN 信号タイミングも選択できるようになっています。

12. オーバーフロー発生時の例外的処理について

パルス高さが+10V を超えるような入力信号の場合、その AD 変換データが変換ゲインサイズをオーバーするかどうかを、アナログ信号レベルの段階で判断するのは困難であるため、通常の入力信号と同様にピークホールドを行い、AD 変換を実行します。オーバーフロー（AD 変換後のデータがゲインサイズを越える）が発生した場合、従来の装置ではそのデータを破棄してしまいましたが、A3100 では次のような理由から、変換ゲインの最大チャンネル（8 k ゲインの場合なら 8191 ch）に相当する信号が入ってきたものとみなして処理しています。

ピークホールド回路は、入力信号の大きさに関わりなく常に同じ動作を行っているため、オーバーフローが発生するような入力信号の場合でも、ピーク検出信号を出力します。入力信号間の時間差情報を取り込む FREE RUN LIST + TLI または TRIGGERED LIST + TLI モードで測定している場合は、このピーク検出信号により時間情報を取り込むと同時に時間情報計数カウンタをクリアしてしまいます。この動作は AD 変換後のオーバーフロー判明よりも前に実行されるため、もし、オーバーフローであったデータを破棄してしまうと、時間差情報が欠落してしまい、データの信頼性を損ねる結果となります。これを防止するためにオーバーフローしたデータも最大チャンネルに信号が入ってきたものとみなして記録するように対処しています。すなわち最大チャンネルに相当するパルス高さ以上の全ての入力信号が、最大チャンネルに凝縮されていると解釈することが出来ます。この処理方法は全ての動作モードにおいて共通です。

13. 仕様

SIG IN	16ch 入力、0~+10V 正極性ユニポーラパルス 最小立ち上がり時間：200ns、最小パルス幅：500ns Zin：1kΩ、LEMO コネクタ
ZERO ADJUST	フルスケールの±5%を 12bit 分解能で設定（各 Ch 個別に Programmable）
LLD	フルスケールの 10%を 12bit 分解能で設定（各 Ch 個別に Programmable）
ADC GAIN	256/512/1024/2048/4096/8192（各 Ch 個別に Programmable）
変換時間	500ns/input（ピーク検出から FIFO 書き込み終了まで）
積分非直線性	フルスケールの±0.025%以下（フルスケールの 99%範囲において）
微分非直線性	フルスケールの±1%以下（フルスケールの 99%範囲において）
測定モード	PHA/GATED LIST/FREE RUN LIST/TRIGGERED LIST <ul style="list-style-type: none"> ・PHA と LIST モードのいずれかを同時計測可能 ・GATED LIST と TRIGGERED LIST モード時はイベントカウント情報を一緒に記録 ・FREE RUN LIST と TRIGGERED LIST モード時は TSI/TLI の時間情報を一緒に記録
Data Memory	256k×32bit Dual Port Memory <ul style="list-style-type: none"> ・PHA モード : 8kch×32bits×16ch データメモリ ・LIST モード : 127k×32bits リングバッファ ・レジスタ : 1k×32bits
PHA モード プリセット	以下の中から各 Ch 個別に設定可能 <ul style="list-style-type: none"> ・Real Time : Off, 1sec~ (2³²-1) /100sec ・Live Time : Off, 1sec~ (2³²-1) /100sec ・Peak Counts : Off, 1~2³²-1 ・Area Counts : Off, 1~2³²-1
LIST バッファ プリセット	リストデータサイズまたはイベントカウント数が指定の値をオーバーしたら通知する。
Real & Live Time	最小計数時間：10ms
Event Counter	COM_G/T IN 入力信号をクロックとする 28bits イベントカウンタ。
TLI,TSI Counter	時間情報の Time Lag Information, Time Stamp information を計測する 40bits カウンタ。クロックは以下の中から選択（Programmable） 5ns/10ns/20ns/50ns/100ns/200ns/500ns/1μs
TLI,TSI データ	<ul style="list-style-type: none"> ・精度：5ns ・分解能：MCSR レジスタのタイムベース設定により定まる時間
スループット (参考値)	<ul style="list-style-type: none"> ・PHA：205kcps ・FREE RUN LIST + TLI/TSI：109kcps ・TRIGGERED LIST + TLI/TSI：72kcps ・GATED LIST(kcps)：98/入力 ch 数+5 ・PHA+LIST 同時計測時(kcps)：(P×L)/(P+L) P=PHA モード単独動作時のスループット L=いずれかの LIST モード単独動作時のスループット

Fast Clear 時間	最大 600ns
制御入力	<ul style="list-style-type: none"> ・G/T IN0 – 15 : Ch 個別のゲート/トリガ信号入力、TTL 信号、LEMO ・COM_G/T IN : 全 Ch 共通のゲート/トリガ信号入力、TTL 信号、LEMO ・FCLR IN : ピークホールド回路をクリアする信号入力、TTL 信号、LEMO ・VETO IN : AD 変換結果の記録を抑制する信号入力、TTL 信号、LEMO
制御出力	<ul style="list-style-type: none"> ・BUSY OUT : ビジー状態を表す信号出力、TTL 信号、LEMO
ATICbus IN,OUT	Acquire & Time Information Control bus 複数枚の A3100 を用いる場合に、隣り合うモジュール間を接続するバス
VMEbus Interface	A24/A32 アドレス指定モード、D16/D32/BLT データ転送、MCST 対応 6U 1 幅 VME モジュール
Power	+5V/0.85A、+12V/0.85A、-12V/0.9A

仁木工芸株式会社

〒108-0073 東京都港区三田 3-9-7

ニキクラビル 8F

TEL) 03-3456-4700 FAX 03-3456-3423

E-mail: sales@nikiglass.com

URL: <http://www.nikiglass.co.jp>

NIKIGLASS